

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner
 US Department of Commerce
 United States Patent and Trademark
 Office, PCT
 2011 South Clark Place Room
 CP2/5C24
 Arlington, VA 22202
 ETATS-UNIS D'AMERIQUE
 in its capacity as elected Office

Date of mailing (day/month/year) 11 July 2001 (11.07.01)	
International application No. PCT/JP00/07011	Applicant's or agent's file reference P23799-P0
International filing date (day/month/year) 06 October 2000 (06.10.00)	Priority date (day/month/year) 06 October 1999 (06.10.99)
Applicant NISHIYAMA, Kazuhiro et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International Preliminary Examining Authority on:

17 April 2001 (17.04.01)

☐ in a notice effecting later election filed with the International Bureau on:
2. The election ☒ was
☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer Antonia Muller Telephone No.: (41-22) 338.83.38
--	---

PATENT COOPERATION TREATY

PCT

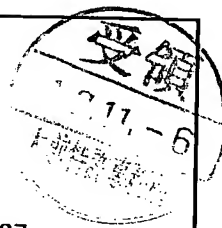
NOTIFICATION OF RECEIPT OF
RECORD COPY

(PCT Rule 24.2(a))

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname
2F., Lions Bldg. Ohtemae
2-3-14, Uchihiranomachi
Chuo-ku, Osaka-shi, Osaka 540-0037
JAPON



Date of mailing (day/month/year) 27 October 2000 (27.10.00)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference P23799-P0 (FP00041 / PCT)	International application No. PCT/JP00/07011

The applicant is hereby notified that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

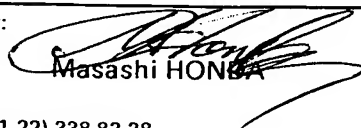
MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. (for all designated States except US)
NISHIYAMA, Kazuhiro et al (for US)

International filing date	:	06 October 2000 (06.10.00)
Priority date(s) claimed	:	06 October 1999 (06.10.99)
		26 October 1999 (26.10.99)
		23 March 2000 (23.03.00)
		17 April 2000 (17.04.00)
		17 April 2000 (17.04.00)
		19 June 2000 (19.06.00)
		19 June 2000 (19.06.00)
		19 June 2000 (19.06.00)

Date of receipt of the record copy by the International Bureau	:	20 October 2000 (20.10.00)
---	---	----------------------------

List of designated Offices	:	
----------------------------	---	--

EP : AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE
National : CN, KR, US

<p>The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland</p> <p>Facsimile No. (41-22) 740.14.35</p>	<p>Authorized officer:  Masashi HONDA</p> <p>Telephone No. (41-22) 338.83.38</p>
---	---



PATENT COOPERATION TREATY

PC/JP00/07011

PCT

From the INTERNATIONAL BUREAU

NOTIFICATION CONCERNING SUBMISSION OR TRANSMITTAL OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

OHMAE, Kaname
2F., Lions Bldg. Ohtemae
2-3-14, Uchihiranomachi
Chuo-ku, Osaka-shi, Osaka 540-0037
JAPON

受領

13.2.13

大前特許事務所

Date of mailing (day/month/year) 01 February 2001 (01.02.01)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference P23799-P0 <i>FP 00041 / PCT</i>	
International application No. PCT/JP00/07011	
International filing date (day/month/year) 06 October 2000 (06.10.00)	
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 06 October 1999 (06.10.99)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
06 Octo 1999 (06.10.99)	11/285549	JP	26 Janu 2001 (26.01.01)
26 Octo 1999 (26.10.99)	11/303664	JP	26 Janu 2001 (26.01.01)
23 Marc 2000 (23.03.00)	2000/81206	JP	26 Janu 2001 (26.01.01)
17 Apri 2000 (17.04.00)	2000/114864	JP	26 Janu 2001 (26.01.01)
17 Apri 2000 (17.04.00)	2000/114871	JP	26 Janu 2001 (26.01.01)
19 June 2000 (19.06.00)	2000/182626	JP	26 Janu 2001 (26.01.01)
19 June 2000 (19.06.00)	2000/182628	JP	26 Janu 2001 (26.01.01)
19 June 2000 (19.06.00)	2000/182645	JP	26 Janu 2001 (26.01.01)

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

Y. KUWAHARA

Telephone No. (41-22) 338.83.38



PCT

NOTICE INFORMING THE APPLICANT OF THE
COMMUNICATION OF THE INTERNATIONAL
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname
2F., Lions Bldg. Ohtemae
2-3-14, Uchihiranomachi
Chuo-ku, Osaka-shi, Osaka 540-0087
JAPON

Date of mailing (day/month/year) 12 April 2001 (12.04.01)		
Applicant's or agent's file reference P23799-PO <i>FP00041/PCT</i>		
IMPORTANT NOTICE		
International application No. PCT/JP00/07011	International filing date (day/month/year) 06 October 2000 (06.10.00)	Priority date (day/month/year) 06 October 1999 (06.10.99)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al		

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:
KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:
CN,EP

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on 12 April 2001 (12.04.01) under No. WO 01/25843

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer J. Zahra
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.83.38



PATENT COOPERATION TREATY

PCT

INFORMATION CONCERNING ELECTED
OFFICES NOTIFIED OF THEIR ELECTION

(PCT Rule 61.3)

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname
3F., Lions Building Ohtemae
2-3-14, Uchihiranomachi
Chuo-ku, Osaka-shi, Osaka 540-0037
JAPON



Date of mailing (day/month/year) 11 July 2001 (11.07.01)		
Applicant's or agent's file reference P23799-P0 EP 00041 (PCT)		IMPORTANT INFORMATION
International application No. PCT/JP00/07011	International filing date (day/month/year) 06 October 2000 (06.10.00)	
Priority date (day/month/year) 06 October 1999 (06.10.99)		
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al		

1. The applicant is hereby informed that the International Bureau has, according to Article 31(7), notified each of the following Offices of its election:

EP :DE,FR,GB,NL
National :CN,KR,US

2. The following Offices have waived the requirement for the notification of their election; the notification will be sent to them by the International Bureau only upon their request:

None

3. The applicant is reminded that he must enter the "national phase" **before the expiration of 30 months from the priority date** before each of the Offices listed above. This must be done by paying the national fee(s) and furnishing, if prescribed, a translation of the international application (Article 39(1)(a)), as well as, where applicable, by furnishing a translation of any annexes of the international preliminary examination report (Article 36(3)(b) and Rule 74.1).

Some offices have fixed time limits expiring later than the above-mentioned time limit. For detailed information about the applicable time limits and the acts to be performed upon entry into the national phase before a particular Office, see Volume II of the PCT Applicant's Guide.

The entry into the European regional phase is postponed until **31 months from the priority date** for all States designated for the purposes of obtaining a European patent.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer: Antonia Muller Telephone No. (41-22) 338.83.38
--	--



国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 P 2 3 7 9 9 - P 0	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。		
国際出願番号 PCT/JP00/07011	国際出願日 (日.月.年) 06.10.00	優先日 (日.月.年) 06.10.99	
出願人(氏名又は名称) 松下電器産業株式会社			

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
第 18 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。



A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int, Cl⁷ G 0 2 F 1 / 1 3 3 9, G 0 2 F 1 / 1 3 6 8, G 0 2 F 1 / 1 3 4 3, C 0 9 K 1 9 / 0 2

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int, Cl⁷ G 0 2 F 1 / 1 3 3 9, G 0 2 F 1 / 1 3 6 8, G 0 2 F 1 / 1 3 4 3, C 0 9 K 1 9 / 0 2

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2001年
 日本国登録実用新案公報 1994-2001年
 日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 5 9 - 2 2 6 3 2 3, A (三洋電機株式会社) 19. 12月. 1984 (19. 12. 84), 第1図 (ファミリーなし)	1, 4, 12
A	J P, 6 - 2 3 5 9 2 3, A (ローム株式会社) 23. 8月. 1994 (23. 08. 94), 第1図 (ファミリーなし)	1-12
A	J P, 5 - 2 6 5 0 1 2, A (セイコー電子工業株式会社) 15. 10月. 1993 (15. 10. 93), 1図 (ファミリーなし)	1, 5
A	J P, 1 1 - 1 1 9 2 2 9, A (株式会社デンソー) 30. 4月. 1999 (30. 04. 99), 第1図 (ファミリーなし)	1-12

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

23. 01. 01

国際調査報告の発送日

06.02.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

後 藤 時 男



2 X

7 8 0 9

電話番号 03-3581-1101 内線 3293

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 4-319915, A (株式会社精工舎) 10. 11. 1992 (10. 11. 92), 第1図 (ファミリーなし)	1-12
X	J P, 6-222372, A (シチズン時計株式会社)	13-15, 17
Y	12. 8月. 1994 (12. 08. 94), 第3図 (ファミリーなし)	18-82
A		83-97
Y	E P, 0855613, A (Frontec Incorporated) 29. 7月. 1998 (29. 07. 98), 第1図 & J P, 10-206867, A, 第1図 & C N, 1191990, A	18-82
Y	J P, 10-186391, A (株式会社日立製作所) 14. 7月. 1998 (14. 07. 98), 段落番号【0009】、【0037】 第2図 (ファミリーなし)	45-50 56-59, 73
Y	J P, 6-95133, A (シチズン時計株式会社) 8. 4月. 1994 (08. 04. 94), 【要約】 (ファミリーなし)	78
Y	J P, 63-121020, A (キャノン株式会社) 25. 5月. 1988 (25. 05. 88), 第1図 (ファミリーなし)	78
A	J P, 5-224211, A (キャノン株式会社) 3. 9月. 1993 (03. 09. 93), 第3図 (ファミリーなし)	19-40
Y	J P, 10-319435, A (シャープ株式会社) 4. 12月. 1998 (04. 12. 98), 段落番号【0034】、第1図 (ファミリーなし)	19-40
Y	J P, 10-39297, A (日本電気株式会社) 13. 2月. 1998 (13. 02. 98), 第1図 (ファミリーなし)	19-40



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/07011

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G02F1/1339, G02F1/1368, G02F1/1343, C09K19/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G02F1/1339, G02F1/1368, G02F1/1343, C09K19/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Jitsuyo Shinan Toroku Koho	1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 59-226323, A (Sanyo Electric Co., Ltd.), 19 December, 1984 (19.12.84), Fig. 1 (Family: none)	1, 4, 12
A	JP, 6-235923, A (Rohm Co., Ltd.), 23 August, 1994 (23.08.94), Fig. 1 (Family: none)	1-12
A	JP, 5-265012, A (Seiko Instr. Inc.), 15 October, 1993 (15.10.93), Fig. 1 (Family: none)	1, 5
A	JP, 11-119229, A (Denso Corporation), 30 April, 1999 (30.04.99), Fig. 1 (Family: none)	1-12
A	JP, 4-319915, A (Seiko Instr. & Electronics Ltd.), 10 November, 1992 (10.11.92), Fig. 1 (Family: none)	1-12
X	JP, 6-222372, A (Citizen Watch Co., Ltd.),	13-15, 17

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
23 January, 2001 (23.01.01)Date of mailing of the international search report
06 February, 2001 (06.02.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	12 August, 1994 (12.08.94), Fig. 3 (Family: none)	18-82 83-97
Y	EP, 0855613, A (Frontec Incorporated), 29 July, 1998 (29.07.98), Fig. 1 & JP, 10-206867, A Fig. 1 & CN, 1191990, A	18-82
Y	JP, 10-186391, A (Hitachi, Ltd.), 14 July, 1998 (14.07.98), Par. Nos. [0009], [0037] Fig. 2 (Family: none)	45-50 56-59, 73
Y	JP, 6-95133, A (Citizen Watch Co., Ltd.), 08 April, 1994 (08.04.94), abstract (Family: none)	78
Y	JP, 63-121020, A (Canon Inc.), 25 May, 1988 (25.05.88), Fig. 1 (Family: none)	78
A	JP, 5-224211, A (Canon Inc.), 03 September, 1993 (03.09.93), Fig. 3 (Family: none)	19-40
Y	JP, 10-319435, A (Sharp Corporation), 04 December, 1998 (04.12.98), Par. No. [0034]; Fig. 1 (Family: none)	19-40
Y	JP, 10-39297, A (NEC Corporation), 13 February, 1998 (13.02.98), Fig. 1 (Family: none)	19-40

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int, Cl⁷ G02F1/1339, G02F1/1368, G02F1/1343, C09K19/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int, Cl⁷ G02F1/1339, G02F1/1368, G02F1/1343, C09K19/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2001年
 日本国登録実用新案公報 1994-2001年
 日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 59-226323, A (三洋電機株式会社) 19.12月.1984(19.12.84), 第1図 (ファミリーなし)	1, 4, 12
A	J P, 6-235923, A (ローム株式会社) 23.8月.1994(23.08.94), 第1図 (ファミリーなし)	1-12
A	J P, 5-265012, A (セイコー電子工業株式会社) 15.10月.1993(15.10.93), 1図 (ファミリーなし)	1, 5
A	J P, 11-119229, A (株式会社デンソー) 30.4月.1999(30.04.99), 第1図 (ファミリーなし)	1-12

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

23.01.01

国際調査報告の発送日

06.02.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

後 藤 時 男



2X

7809

電話番号 03-3581-1101 内線 3293

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 4-319915, A (株式会社精工舎) 10. 11. 1992 (10.11.92), 第1図 (ファミリーなし)	1-12
X	J P, 6-222372, A (シチズン時計株式会社) 12. 8月. 1994 (12.08.94), 第3図 (ファミリーなし)	13-15, 17
Y		18-82
A		83-97
Y	E P, 0855613, A (Frontec Incorporated) 29. 7月. 1998 (29.07.98), 第1図 & J P, 10-206867, A, 第1図 & C N, 1191990, A	18-82
Y	J P, 10-186391, A (株式会社日立製作所) 14. 7月. 1998 (14.07.98), 段落番号【0009】、【0037】 第2図 (ファミリーなし)	45-50 56-59, 73
Y	J P, 6-95133, A (シチズン時計株式会社) 8. 4月. 1994 (08.04.94), 【要約】 (ファミリーなし)	78
Y	J P, 63-121020, A (キヤノン株式会社) 25. 5月. 1988 (25.05.88), 第1図 (ファミリーなし)	78
A	J P, 5-224211, A (キヤノン株式会社) 3. 9月. 1993 (03.09.93), 第3図 (ファミリーなし)	19-40
Y	J P, 10-319435, A (シャープ株式会社) 4. 12月. 1998 (04.12.98), 段落番号【0034】、第1図 (ファミリーなし)	19-40
Y	J P, 10-39297, A (日本電気株式会社) 13. 2月. 1998 (13.02.98), 第1図 (ファミリーなし)	19-40

特許協力条約に基づく国際出願願書

P23799-P0

原本 (出願用) - 印刷日時 2000年10月05日 (05. 10. 2000) 木曜日 16時20分32秒

0	受理官庁記入欄	
0-1	国際出願番号.	
0-2	国際出願日	
0-3	(受付印)	
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、 0-4-1 右記によって作成された。	PCT-EASY Version 2.91 (updated 01. 07. 2000)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	P23799-P0
I	発明の名称	液晶素子、液晶表示装置及びそれらの製造方法
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除くすべての指定国 (all designated States except US)
II-4ja	名称	松下電器産業株式会社
II-4en	Name	MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
II-5ja	あて名:	571-8501 日本国 大阪府 門真市 大字門真1006番地
II-5en	Address:	1006, Oaza-Kadoma, Kadoma-shi, Osaka 571-8501 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
II-8	電話番号	06-6908-5831
II-9	ファクシミリ番号	06-6906-8166



III-1 III-1-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-1-2	右の指定国についての出願人である。	
III-1-4ja III-1-4en III-1-5ja	氏名 (姓名) Name (LAST, First) あて名:	西山 和廣 NISHIYAMA, Kazuhiro 573-0081 日本国 大阪府 枚方市 釈尊寺町 33-10
III-1-5en	Address:	33-10, Shakusonjicho, Hirakata-shi, Osaka 573-0081 Japan
III-1-6 III-1-7	国籍 (国名) 住所 (国名)	日本国 JP 日本国 JP
III-2 III-2-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-2-2	右の指定国についての出願人である。	
III-2-4ja III-2-4en III-2-5ja	氏名 (姓名) Name (LAST, First) あて名:	朝山 純子 ASAYAMA, Junko 565-0862 日本国 大阪府 吹田市 津雲台 2-2 C26-305
III-2-5en	Address:	C26-305, 2-2, Tsukumodai Suita-shi, Osaka 565-0862 Japan
III-2-6 III-2-7	国籍 (国名) 住所 (国名)	日本国 JP 日本国 JP
III-3 III-3-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-3-2	右の指定国についての出願人である。	
III-3-4ja III-3-4en III-3-5ja	氏名 (姓名) Name (LAST, First) あて名:	小森 一徳 KOMORI, Kazunori 669-1322 日本国 兵庫県 三田市 すずかけ台 4-6-4-1007
III-3-5en	Address:	4-6-4-1007, Suzukakedai Sanda-shi, Hyogo 669-1322 Japan
III-3-6 III-3-7	国籍 (国名) 住所 (国名)	日本国 JP 日本国 JP



III-4 III-4-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-4-2	右の指定国についての出願人である。	
III-4-4ja	氏名 (姓名)	田中 幸生
III-4-4en	Name (LAST, First)	TANAKA, Yukio
III-4-5ja	あて名:	607-8405 日本国 京都府 京都市 山科区 御陵田山町
III-4-5en	Address:	19 A-104 A-104, 19, Misasagitayamacho, Yamashina-ku Kyoto-shi, Kyoto 607-8405
III-4-6	国籍 (国名)	Japan
III-4-7	住所 (国名)	日本国 JP 日本国 JP
III-5 III-5-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-5-2	右の指定国についての出願人である。	
III-5-4ja	氏名 (姓名)	滝本 昭雄
III-5-4en	Name (LAST, First)	TAKIMOTO, Akio
III-5-5ja	あて名:	572-0016 日本国 大阪府 寝屋川市 国松町
III-5-5en	Address:	4-1 4-1, Kunimatsucho Neyagawa-shi, Osaka 572-0016
III-5-6	国籍 (国名)	Japan
III-5-7	住所 (国名)	日本国 JP 日本国 JP
III-6 III-6-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-6-2	右の指定国についての出願人である。	
III-6-4ja	氏名 (姓名)	井上 一生
III-6-4en	Name (LAST, First)	INOUE, Kazuo
III-6-5ja	あて名:	573-0013 日本国 大阪府 枚方市 星ヶ丘
III-6-5en	Address:	4-5-8-306 4-5-8-306, Hoshigaoka Hirakata-shi, Osaka 573-0013
III-6-6	国籍 (国名)	Japan
III-6-7	住所 (国名)	日本国 JP 日本国 JP



III-7 III-7-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-7-2	右の指定国についての出願人である。	
III-7-4ja	氏名 (姓名)	熊川 克彦
III-7-4en	Name (LAST, First)	KUMAGAWA, Katsuhiko
III-7-5ja	あて名:	572-0022 日本国 大阪府 寝屋川市 緑町 9-14-302
III-7-5en	Address:	9-14-302, Midorimachi Neyagawa-shi, Osaka 572-0022
III-7-6	国籍 (国名)	Japan
III-7-7	住所 (国名)	日本国 JP
III-8 III-8-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-8-2	右の指定国についての出願人である。	
III-8-4ja	氏名 (姓名)	佐藤 一郎
III-8-4en	Name (LAST, First)	SATO, Ichiro
III-8-5ja	あて名:	610-0362 日本国 京都府 京田辺市 東東神屋 93-8
III-8-5en	Address:	93-8, Higashikamiya, Higashi Kyotanabe-shi, Kyoto 610-0362
III-8-6	国籍 (国名)	Japan
III-8-7	住所 (国名)	日本国 JP
III-9 III-9-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-9-2	右の指定国についての出願人である。	
III-9-4ja	氏名 (姓名)	分元 博文
III-9-4en	Name (LAST, First)	WAKEMOTO, Hirofumi
III-9-5ja	あて名:	921-8035 日本国 石川県 金沢市 泉が丘 2-8-38 501
III-9-5en	Address:	501, 2-8-38, Izumigaoka Kanazawa-shi, Ishikawa 921-8035
III-9-6	国籍 (国名)	Japan
III-9-7	住所 (国名)	日本国 JP




III-10 III-10-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-10-2	右の指定国についての出願人である。	
III-10-4j a	氏名 (姓名)	木津 紀幸
III-10-4e n	Name (LAST, First)	KIZU, Noriyuki
III-10-5j a	あて名:	921-8148 日本国 石川県 金沢市 額新保 1-471-102
III-10-5e n	Address:	1-471-102, Nukashinbo Kanazawa-shi, Ishikawa 921-8148 Japan
III-10-6	国籍 (国名)	日本国 JP
III-10-7	住所 (国名)	日本国 JP
III-11 III-11-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-11-2	右の指定国についての出願人である。	
III-11-4j a	氏名 (姓名)	木村 雅典
III-11-4e n	Name (LAST, First)	KIMURA, Masanori
III-11-5j a	あて名:	574-0037 日本国 大阪府 大東市 新町 19-401
III-11-5e n	Address:	19-401, Shinmachi Daito-shi, Osaka 574-0037 Japan
III-11-6	国籍 (国名)	日本国 JP
III-11-7	住所 (国名)	日本国 JP
III-12 III-12-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-12-2	右の指定国についての出願人である。	
III-12-4j a	氏名 (姓名)	津田 圭介
III-12-4e n	Name (LAST, First)	TSUDA, Keisuke
III-12-5j a	あて名:	921-8817 日本国 石川県 石川郡 野々市町 横宮町 16-36-815
III-12-5e n	Address:	16-36-815, Yokomiyamachi, Nonoichimachi Ishikawa-gun, Ishikawa 921-8817 Japan
III-12-6	国籍 (国名)	日本国 JP
III-12-7	住所 (国名)	日本国 JP



IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent)
IV-1-1ja IV-1-1en IV-1-2ja	氏名 (姓名) Name (LAST, First) あて名:	大前 要 OHMAE, Kaname 540-0037 日本国 大阪府 大阪市中央区 内平野町2-3-14 ライオンズビル大手前2階 2F., Lions Bldg. Ohtemae 2-3-14, Uchihiranomachi Chuo-ku, Osaka-shi, Osaka 540-0037 Japan
IV-1-2en	Address:	
IV-1-3	電話番号	06-6946-3591
IV-1-4	ファクシミリ番号	06-6946-3593
V	国の指定	
V-1	広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE 及びヨーロッパ特許条約と特許協力条約の締約国 である他の国
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	CN KR US
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。	
V-6	指定の確認から除かれる国	なし (NONE)
VI-1	先の国内出願に基づく優先権主張	
VI-1-1	先の出願日	1999年10月06日 (06. 10. 1999)
VI-1-2	先の出願番号	特願平11-285549
VI-1-3	国名	日本国 JP
VI-2	先の国内出願に基づく優先権主張	
VI-2-1	先の出願日	1999年10月26日 (26. 10. 1999)
VI-2-2	先の出願番号	特願平11-303664
VI-2-3	国名	日本国 JP
VI-3	先の国内出願に基づく優先権主張	
VI-3-1	先の出願日	2000年03月23日 (23. 03. 2000)
VI-3-2	先の出願番号	特願2000-081206
VI-3-3	国名	日本国 JP



VI-4	先の国内出願に基づく優先権主張		
VI-4-1	先の出願日	2000年04月17日 (17. 04. 2000)	
VI-4-2	先の出願番号	特願2000-114864	
VI-4-3	国名	日本国 JP	
VI-5	先の国内出願に基づく優先権主張		
VI-5-1	先の出願日	2000年04月17日 (17. 04. 2000)	
VI-5-2	先の出願番号	特願2000-114871	
VI-5-3	国名	日本国 JP	
VI-6	先の国内出願に基づく優先権主張		
VI-6-1	先の出願日	2000年06月19日 (19. 06. 2000)	
VI-6-2	先の出願番号	特願2000-182626	
VI-6-3	国名	日本国 JP	
VI-7	先の国内出願に基づく優先権主張		
VI-7-1	先の出願日	2000年06月19日 (19. 06. 2000)	
VI-7-2	先の出願番号	特願2000-182628	
VI-7-3	国名	日本国 JP	
VI-8	先の国内出願に基づく優先権主張		
VI-8-1	先の出願日	2000年06月19日 (19. 06. 2000)	
VI-8-2	先の出願番号	特願2000-182645	
VI-8-3	国名	日本国 JP	
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)	
VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	8	-
VIII-2	明細書	81	-
VIII-3	請求の範囲	21	-
VIII-4	要約	1	p23799-p0. txt
VIII-5	図面	83	-
VIII-7	合計	194	-
VIII-8	添付書類	添付	添付された電子データ
VIII-16	手数料計算用紙	✓	-
VIII-18	PCT-EASYディスク	-	フレキシブルディスク
VIII-18	要約書とともに提示する図の番号	18	
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名 (姓名)	大前 要 	

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	



特許協力条約に基づく国際出願願書

8/8

原本 (出願用) - 印刷日時 2000年10月05日 (05. 10. 2000) 木曜日 16時20分32秒

P23799-P0

10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日 (訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--



PCT

REC'D 01 FEB 2002

WIPO

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

出願人又は代理人 の書類記号 P23799-P0	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JP00/07011	国際出願日 (日.月.年) 06.10.00	優先日 (日.月.年) 06.10.99
国際特許分類(IPC) Int, Cl ⁷ G02F1/1339, G02F1/1368, G02F1/1343, C09K19/02		
出願人(氏名又は名称) 松下電器産業株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。
- ☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 19 ページである。

3. この国際予備審査報告は、次の内容を含む。

- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 17.04.01	国際予備審査報告を作成した日 22.01.02	
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 後藤 時男 電話番号 03-3581-1101 内線 3293	2X 7809

様式PCT/IPEA/409(表紙)(1998年7月)



I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-81 ページ、
 明細書 第 _____ ページ、
 明細書 第 _____ ページ、

出願時に提出されたもの
 国際予備審査の請求書と共に提出されたもの
 _____ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 1-7, 9-16, 60-64, 66, 67, 87, 89, 91-97 項、
 請求の範囲 第 _____ 項、
 請求の範囲 第 _____ 項、
 請求の範囲 第 8, 17-35, 41-59, 65, 68-86, 88, 90 項、

出願時に提出されたもの
 PCT19条の規定に基づき補正されたもの
 国際予備審査の請求書と共に提出されたもの
 11.01.02 付の書簡と共に提出されたもの

☒ 図面 第 1/83-83/83 ページ
 図面 第 _____ ページ
 図面 第 _____ ページ

出願時に提出されたもの
 国際予備審査の請求書と共に提出されたもの
 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、
 明細書の配列表の部分 第 _____ ページ、
 明細書の配列表の部分 第 _____ ページ、

出願時に提出されたもの
 国際予備審査の請求書と共に提出されたもの
 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☒ 請求の範囲 第 36-40 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならない、本報告に添付する。)



V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲	1-12, 16, 19-35, 41-54, 56-97	有
	請求の範囲	13-15, 17, 18, 55	無
進歩性 (IS)	請求の範囲	1-12, 16, 19-35, 41, 42, 44, 52-54, 56, 59-64, 66, 68-97	有
	請求の範囲	13-15, 17, 18, 43, 45-51, 55, 57, 58, 65, 67	無
産業上の利用可能性 (IA)	請求の範囲	1-35, 41-97	有
	請求の範囲		無

2. 文献及び説明 (PCT規則70.7)

文献1: JP, 63-121020 A (キヤノン株式会社) 25.5月.1988
 文献2: JP, 10-206867 A (株式会社フロンテック) 7.8月.1998
 文献3: JP, 10-186391 A (株式会社日立製作所) 14.7月.1998

請求の範囲13-15, 17, 18

請求の範囲13-15, 17, 18に記載された発明は、国際調査報告に引用された文献1に対して新規性を有しない。

文献1の第1図に関して「配向膜として導電性材料を含む樹脂で構成することにより液晶中のイオンの偏在および液晶分子への影響をなくする」ことが記載されており、この導電性配向膜が本願の中和電極に相当するから、請求の範囲13-15, 17, 18に記載された「いずれか一方若しくは両方の基板に液晶中のイオンを中和する中和電極を有し、中和電極は液晶と直接接する」構成は、文献1に開示されている。

請求の範囲55

請求の範囲55に記載された発明は、国際調査報告に引用された文献2に対して新規性を有しない。

請求の範囲55の「画素電極若しくは対向電極の一方には絶縁膜が形成され、他方には全く形成されていない横電界方式の液晶素子」構成は文献2の【図1】に開示されている。



補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V. 2 欄の続き

請求の範囲 43、45-51、57、58、65、67

請求の範囲 43、45-51、57、58、65、67 に記載された発明は国際調査報告に引用された文献 2-文献 3 により進歩性を有しない。

文献 2 の【図 1】、段落番号【0035】には「共通電極と接続されたブラックマトリックス、信号配線、および画素電極上にポリイミドの配向膜を設ける」ことが記載されており、さらに、文献 3 の段落番号【0009】には「比抵抗が $10^{12} \Omega \cdot \text{cm}$ の液晶を用いると共にポリイミドの配向膜の厚さを約 $0.05 \mu\text{m} \sim 0.15 \mu\text{m}$ とした横電界方式の液晶素子」が記載されており、文献 2 も文献 3 も共に横電界方式の液晶素子に用いられる配向膜であることから、文献 3 の構成を文献 2 に適用して請求の範囲 43、45-51、65、67 の「対向電極と所定の関係の電圧を保持する電極、あるいは信号配線、画素電極上に、 500 \AA 以下の配向層からなる薄膜化領域を設ける」構成、または、請求の範囲 57、58 の「比抵抗が $10^{12} \sim 10^{13} \Omega \cdot \text{cm}$ の液晶を使用する」構成を得ることは当業者が容易に想到しうるものである。



前記低粘度樹脂塗布ステップ時若しくはその後に、塗布した封止用の樹脂を少なくとも大気圧より低い圧に晒す低圧ステップを有していることを特徴とする請求項 1 に記載の液晶素子の製造方法。

6. 前記異物除去ステップは、

5 前記低粘度樹脂塗布ステップ後に、樹脂に反液晶側への加速度を与える加速ステップを有していることを特徴とする請求項 1 に記載の液晶素子の製造方法。

7. 前記異物除去ステップは、

10 上記塗布した封止用樹脂を加熱により低粘度化するため、赤外線を照射する赤外線照射小ステップを有していることを特徴とする請求項 1 から請求項 6 のいずれかに記載の液晶素子の製造方法。

8 (補正後). 上下を 2 枚の基板で、周囲を壁で囲まれた空間内に、液晶が保持されてなる液晶素子であって、

15 上記空間内に液晶を充たした後封止する部分に、非硬化時には、40℃以上の所定の温度ではその粘度が 20 Pa・s 以下であった電磁波硬化性の樹脂を使用しており、かつ硬化した樹脂中には、水分、空気、塵埃等の光学的異物を有していないことを特徴とする液晶素子。

9. 前記電磁波硬化性樹脂は、

紫外線硬化性樹脂であることを特徴とする請求項 8 記載の液晶素子。

20 10. 前記電磁波硬化性樹脂は、

嫌気性樹脂であることを特徴とする請求項 8 記載の液晶素子。

11. 前記電磁波硬化性樹脂は、

50℃以上の温度で 20 Pa・s 以下に軟化する性質の樹脂であることを特徴とする請求項 8 ~ 請求項 10 のいずれかに記載の液晶素子。

25 12. 上下を 2 枚の基板で、周囲を壁で囲まれた空間内に、液晶が保持されてなる液晶素子であって、



上記空間内に液を充たした後封止する部分、嫌気性の樹脂を使用していることを特徴とする液晶素子。

13. 一方の基板に画素電極が、他方の基板に共通電極が形成され、両電極間での電圧の印加により両基板の内面側に配向膜を介して挟持されている液晶層の分子配列を変化させる液晶素子において、

いずれか一方若しくは両方の基板に、液晶層中のイオンの電荷を中和する中和電極を有していることを特徴とする液晶素子。

14. 一方の基板に画素電極と共通電極が形成され、両電極間での電圧の印加により両基板の内面側に配向膜を介して挟持されている液晶層の分子配列を変化させる液晶素子において、

いずれか一方若しくは両方の基板に、液晶層中のイオンの電荷を中和する中和電極を有していることを特徴とする液晶素子。

15. 一方の基板に画素電極と共通電極が形成され、他方の基板に対向電極が形成され、上記3つの電極間に所定の電圧の印加することにより両基板の内面側に配向膜を介して挟持されている液晶層の分子配列を変化させる液晶素子において、

いずれか一方若しくは両方の基板に、液晶層中のイオンの電荷を中和する中和電極を有していることを特徴とする液晶素子。

16. 前記中和電極は、
導電性物質からなり、そして遮光膜を兼用する導電遮光性中和電極であることを特徴とする請求項13から請求項15のいずれかに記載の液晶素子。

17 (補正後). 前記中和電極は、液晶層と直接接する、500 Å以下の薄膜を介して接する若しくはイオンを透過する膜を介して接するのいずれかであることを特徴とする請求項13～15のいずれかに記載の液晶素子。



1 8 (補正後) 前記中和電極は、液晶層と直接接する、500 Å以下の薄膜を介して接する若しくはイオンを透過する膜を介して接するのいずれかであることを特徴とする請求項16に記載の液晶素子。

1 9 (補正後) . 少なくとも一方に画素電極、共通電極、信号配線、
5 走査配線が形成された一对の基板と、両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有する横電界方式の液晶素子において、

上記画素電極等が形成されていない基板側にその液晶層側の表面が凹凸の構造の遮光膜を有していて、該遮光膜は液晶層と直接接する、
10 500 Å以下の薄膜を介して接する若しくはイオンを透過する膜を介して接するのいずれかであることを特徴とする横電界方式の液晶素子。

2 0 (補正後) . 少なくとも一方に画素電極、共通電極、信号配線、
走査配線が形成された一对の基板と、両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有する横電界方式の液晶素子において、
15

上記画素電極等が形成されている基板側にその液晶層側の表面が凹凸の構造の遮光膜を有していて、該遮光膜は液晶層と直接接する、500 Å以下の薄膜を介して接する若しくはイオンを透過する膜を介して接するのいずれかであることを特徴とする横電界方式の液晶素子。

2 0 2 1 (補正後) . 少なくとも一方に画素電極、共通電極、信号配線、
走査配線が形成された一对の基板と、両基板の内面側に設けられた配向膜を介して挟持された液晶とを有する横電界方式の液晶素子において、

上記画素電極等が形成されていない基板側にその液晶層側の表面が
25 凹凸の構造の中和電極を有していて、該中和電極の凹凸の構造の表面は液晶層と直接接する、500 Å以下の薄膜を介して接する若しくは



イオンを透過する膜を介して接するのいずれかであることを特徴とする横電界方式の液晶素子。

22 (補正後). 少なくとも一方に画素電極、共通電極、信号配線、走査配線が形成された一对の基板と、両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有する横電界方式の液晶素子において、

上記画素電極等が形成されている基板側にその液晶層側の表面が凹凸の構造の中和電極を有していて、該中和電極の凹凸の構造の表面は液晶層と直接接する、500 Å以下の薄膜を介して接する若しくはイオンを透過する膜を介して接するのいずれかであることを特徴とする横電界方式の液晶素子。

23 (補正後). 少なくとも一方に画素電極、共通電極、信号配線、走査配線が形成された一对の基板と、画素電極に対向する対向電極が形成された対向基板と、両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有し、画素電極、共通電極及び対向電極の間に電圧を印加して液晶分子の配列を変化させる横電界方式の液晶素子において、

上記対向電極は、液晶層側の表面が凹凸の構造を有していて、更に凹凸の構造の表面は液晶層と直接接する、500 Å以下の薄膜を介して接する若しくはイオンを透過する膜を介して接するのいずれかであることを特徴とする横電界方式の液晶素子。

24 (補正後). 少なくとも一方に画素電極、共通電極、信号配線、走査配線が形成された一对の基板と、画素電極に対向する対向電極が形成された対向基板と、両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有し、画素電極、共通電極及び対向電極の間に電圧を印加して液晶分子の配列を変化させる横電界方式の液晶素子に



において、

上記画素電極等が形成されていない対向基板側にその液晶層側の表面が凹凸の構造の遮光膜を有していて、該遮光膜の凹凸の構造の表面は液晶層と直接接する、500 Å以下の薄膜を介して接する若しくはイオンを透過する膜を介して接するのいずれかであることを特徴とする横電界方式の液晶素子。

25（補正後）、少なくとも一方に画素電極、共通電極、信号配線、走査配線が形成された一对の基板と、画素電極に対向する対向電極が形成された対向基板と、両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有し、画素電極、共通電極及び対向電極の間に電圧を印加して液晶分子の配列を変化させる横電界方式の液晶素子において、

上記画素電極等が形成されている基板側にその液晶層側の表面が凹凸の構造の遮光膜を有していて、該遮光膜の凹凸の構造の表面は液晶層と直接接する、500 Å以下の薄膜を介して接する若しくはイオンを透過する膜を介して接するのいずれかであることを特徴とする横電界方式の液晶素子。

26（補正後）、前記遮光膜は、

導電性樹脂ベースの物質からなる遮光膜であることを特徴とする請求項19、請求項20、請求項24若しくは請求項25に記載の横電界方式の液晶素子。

27（補正後）、上記液晶層は、

その比抵抗が $10^{12} \sim 10^{13} \Omega \cdot \text{cm}$ である液晶を使用するものであることを特徴とする請求項19～請求項25のいずれかに記載の横電界方式の液晶素子。

28（補正後）、上記液晶層は、



その比抵抗が $10^{12} \sim 10^{13} \Omega \cdot \text{cm}$ である液晶を使用するものであることを特徴とする請求項 26 に記載の横電界方式の液晶素子。

29 (補正後) . 横電界方式で液晶を駆動する表示装置に使用されるカラーフィルターにおいて、

5 導電性の遮光膜部の液晶層側の表面が凹凸の構造を有していて、更に該凹凸の構造の表面が液晶層と直接接する、500 Å 以下の薄膜を介して接する若しくはイオンを透過する膜を介して接するのいずれかであることを特徴とするカラーフィルター。

30 (補正後) . 前記遮光膜は、

10 その凹凸構造の凹部と凸部の差が $0.1 \mu\text{m}$ 以上であることを特徴とする請求項 19、請求項 20、請求項 24 若しくは請求項 25 のいずれかに記載の横電界方式の液晶素子。

31 (補正後) . 前記遮光膜は、

15 その凹凸構造の凹部と凸部の差が $0.3 \mu\text{m}$ 以上であることを特徴とする請求項 19、請求項 20、請求項 24 若しくは請求項 25 のいずれかに記載の横電界方式の液晶素子。

32 (補正後) . 前記遮光膜は、

その凹凸構造の凹部と凸部の差が $0.3 \mu\text{m}$ 以上であることを特徴とする請求項 26 に記載の横電界方式の液晶素子。

20 33 (補正後) . 前記遮光膜は、

その凹凸構造の凹部と凸部の差が $0.3 \mu\text{m}$ 以上であることを特徴とする請求項 27 に記載の横電界方式の液晶素子。

34 (補正後) . 前記中和電極は、

25 その凹凸構造の凹部と凸部の差が $0.1 \mu\text{m}$ 以上であることを特徴とする請求項 21 若しくは請求項 22 に記載の横電界方式の液晶素子。

35 (補正後) . 前記遮光膜は、



その凹凸構造の凹部と凸部の差が $0.3 \mu\text{m}$ 以上であることを特徴とする請求項 27 に記載の横電界方式の液晶素子。

36 (削除) .

37 (削除) .

5 38 (削除) .

39 (削除) .

40 (削除) .

41 (補正後) . 少くも一方に、マトリックス状に配置されたソース信号配線及びゲート信号配線、該両信号配線の各交差点部のスイッチング素子とこれに接続された画素電極、これに対峙する共通電極並びにそれら各部の絶縁等をなす絶縁層を有する一对の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子において、

10

ゲートと所定の関係の電圧を保持し、液晶内に発生したイオンを中和する作用を有する電極を有していることを特徴とする横電界方式の液晶素子。

15

42 (補正後) . 少くも一方に、マトリックス状に配置されたソース信号配線及びゲート信号配線、該両信号配線の各交差点部のスイッチング素子とこれに接続された画素電極、これに対峙する共通電極並びにそれら各部の絶縁等をなす絶縁層を有する一对の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子において、

20

画素電極と所定の関係の電圧を保持し、液晶内に発生したイオンを中和する作用を有する電極を有していることを特徴とする横電界方式の液晶素子。

25

43 (補正後) . 少くも一方に、マトリックス状に配置されたソー



5 ス信号配線及びゲート信号配線、該両信号配線の各交差点部のスイッチング素子とこれに接続された画素電極、これに対峙する共通電極並びにそれら各部の絶縁等をなす絶縁層を有する一対の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子において、

対向電極と所定の関係の電圧を保持し、更に少なくともその一部が上記液晶層に直接接するか又は500 Å以下の配向膜、500 Å以下の薄膜若しくはイオンを透過する膜のいずれかを介して接する電極を有していることを特徴とする横電界方式の液晶素子。

10 44（補正後）、少くも一方に、マトリックス状に配置されたソース信号配線及びゲート信号配線、該両信号配線の各交差点部のスイッチング素子とこれに接続された画素電極、これに対峙する共通電極並びにそれら各部の絶縁等をなす絶縁層を有する一対の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子において、

走査信号線若しくはゲート信号線の少くも一方と所定の関係の電圧を保持し、液晶内に発生したイオンを中和する作用を有する電極を有していることを特徴とする横電界方式の液晶素子。

20 45（補正後）、少なくとも一方に導電層としてソース及びゲート信号配線並びに横電界を発生させるための画素電極と共通電極とを有し、更にこれら導電層相互の絶縁等をなす絶縁膜を有する一対の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子において、

25 上記導電層と液晶層との間に介在する絶縁膜、配向膜等からなる第3の層を形成する膜は、その膜厚の合計が500 Å以下である薄膜化領域を有していることを特徴とする横電界方式の液晶素子。



4 6 (補正後) 前記薄膜化領域は、

配向膜と絶縁膜との少くも一方の上に在ることを特徴とする請求項
4 5 に記載の横電界方式の液晶素子。

4 7 (補正後) . 前記薄膜化領域は、

5 配向膜若しくは保護膜上にあり、当該配向膜若しくは保護膜は、樹脂をベースとした導電性物質からなることを特徴とする請求項 4 5 に記載の横電界方式の液晶素子。

4 8 (補正後) . 前記薄膜化領域は、

上記画素電極、共通電極若しくは信号配線上に位置していることを
10 特徴とする請求項 4 5、請求項 4 6 若しくは請求項 4 7 のいずれかに記載の横電界方式の液晶素子。

4 9 (補正後) . 上記横電界方式の液晶素子は、樹脂をベースとした導電性遮光膜を有し、更に、

前記薄膜化領域は、導電性遮光膜上に位置していることを特徴とする
15 請求項 4 5、請求項 4 6 若しくは請求項 4 7 のいずれかに記載の横電界方式の液晶素子。

5 0 (補正後) . 前記薄膜化領域は、

上記画素電極の形成された基板に対向する基板に形成されていることを特徴とする請求項 4 9 に記載の横電界方式の液晶素子。

20 5 1 (補正後) . 少なくとも一方に導電層として信号配線、蓄積容量電極及び横電界を発生させるための画素電極と共通電極とを有し、更にこれら導電層相互の絶縁等とをなす絶縁膜を有する一対の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子において、

25 上記導電層と液晶層との間に介在する絶縁膜、配向膜等からなる第 3 の層を形成する膜は、所定位置では 5 0 0 Å 以下の膜厚の配向膜の



み存在するか、50 Å以下の薄膜か、イオン透過性の膜であるか、
 そもそも形成されていないかであることを特徴とする横電界方式の液
 晶素子。

5 2（補正後）．上記液晶層と上記導電層とが直接接触することと
 5 なる所定位置は、

画素電極、共通電極、蓄積容量電極若しくは信号配線上であることを
 を特徴とする請求項51に記載の横電界方式の液晶素子。

5 3（補正後）．上記横電界方式の液晶素子は樹脂をベースとした
 導電性遮光膜を有し、更に、

10 上記液晶層と上記導電層とが直接接触することとなる所定位置は、
 上記導電性遮光膜上であることを特徴とする請求項51に記載の横
 電界方式の液晶素子。

5 4（補正後）．前記薄膜化領域は、

上記画素電極等の形成された基板に対向する基板に形成されている
 15 ことを特徴とする請求項53に記載の横電界方式の液晶素子。

5 5（補正後）．一方の基板に画素電極と該画素電極と同一層上に
 ない対向電極と信号配線とこれら相互の絶縁等をなす絶縁膜とを有す
 る一対の基板と、原則として両基板の内面側に設けられた配向膜を介
 して挟持されている液晶層とを有する横電界方式の液晶素子において、

20 上記画素電極若しくは対向電極の一方には絶縁膜が形成され、他方
 には全く形成されていないことを特徴とする横電界方式の液晶素子。

5 6（補正後）．上記横電界方式の液晶素子は、

ラビング方向に沿って絶縁膜が形成されていることを特徴とする請
 求項55に記載の横電界方式の液晶素子。

25 5 7（補正後）．上記横電界方式の液晶素子は、

比抵抗が $10^{12} \sim 10^{13} \Omega \cdot \text{cm}$ である液晶を使用するものであ



ることを特徴とする請求項 4 5 ～ 請求項 4 7、請求項 5 1 ～ 請求項 5 3、請求項 5 5 若しくは請求項 5 6 のいずれかに記載の横電界方式の液晶素子。

5 8 (補正後) . 上記横電界方式の液晶素子は、

5 比抵抗が $10^{12} \sim 10^{13} \Omega \cdot \text{cm}$ である液晶を使用するものであることを特徴とする請求項 5 0 に記載の横電界方式の液晶素子。

5 9 (補正後) . 上記横電界方式の液晶素子は、

比抵抗が $10^{12} \sim 10^{13} \Omega \cdot \text{cm}$ である液晶を使用するものであることを特徴とする請求項 5 4 に記載の横電界方式の液晶素子。

10 6 0 . 一方に画素電極と共通電極及び両電極に対応しての信号線と走査線並びに絶縁層が形成された一対の基板と、両基板の内面側に設けられた配向膜を介して液晶を挟持した横電界方式の液晶素子において、

15 他方の基板に、上記液晶層と接した導電性の遮光膜を有していることを特徴とする横電界方式の液晶素子。

6 1 . 一方に画素電極と共通電極及び両電極に対応しての信号線と

20

25



6 5 (補正後) 一方に画素電極及び共通電極及び両電極に対応しての信号線と走査線が形成された一对の基板間に、両基板の内面側に設けられた配向膜を介して液晶を挟持した横電界方式の液晶素子において、

5 他方の基板に、上記信号線方向及び走査線方向にのび、かつ液晶層と500 Å以下の薄膜層若しくはイオン透過性の膜を介して接した領域が格子状に存在する導電性の遮光膜を有していることを特徴とする横電界方式の液晶素子。

6 6 . 前記導電性の遮光膜は、

10 その導電部がCr、Ti若しくは導電性の樹脂からなることを特徴とする請求項60～請求項65のいずれかに記載の横電界方式の液晶素子。

6 7 . 前記導電性の遮光膜は、

導電性の樹脂製遮光膜であることを特徴とする請求項60～請求項
15 65のいずれかに記載の横電界方式の液晶素子。

6 8 (補正後) . 前記横電界方式の液晶素子の基板間隔を一定に保持するスペーサーとして特定の箇所に柱を形成することを特徴とする請求項66に記載の横電界方式の液晶素子。

6 9 (補正後) . 少なくとも一方に、画素電極、共通電極、信号配
20 線、走査配線並びにそれら各部の絶縁等をなす絶縁膜を有する一对の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有する横電界方式の液晶素子において、

上記画素電極、共通電極、信号配線の少なくとも1は、その液晶側の少なくとも一部分に絶縁膜が形成されておらず、このため当該電極
25 若しくは配線は直接液晶に接する絶縁膜開口電極であり、

上記画素電極及び共通電極が形成されていない基板側に液晶層との



絶縁膜が全く形成されていないか、少くも一部に形成されていない箇所があることにより液晶層中のイオンの電荷を中和する中和電極を有していることを特徴とする横電界方式の液晶素子。

70 (補正後)、少なくとも一方に画素電極、共通電極、信号配線、
5 走査配線並びにそれら各部の絶縁等をなす絶縁膜を有する一对の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有する横電界方式の液晶素子において、

上記画素電極は、絶縁膜が全く形成されておらず、このため当該部に画素電極が500 Å以下の配向膜のみを介して若しくは直接液晶に
10 接する開口画素電極であり、

更に、上記画素電極等が形成されていない基板側に液晶層との絶縁膜が全く形成されていないか、少くも一部に形成されていない箇所があることにより液晶層中のイオンの電荷を中和する中和電極を有していることを特徴とする横電界方式の液晶素子。

15 71 (補正後)、少なくとも一方に画素電極、共通電極、信号配線、走査配線並びにそれら各部の絶縁等をなす絶縁膜を有する一对の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有する横電界方式の液晶素子において、

上記共通電極は絶縁膜が全く形成されておらず、このため当該部に
20 画素電極が500 Å以下の配向膜のみを介して若しくは直接液晶に接する開口共通電極であり、

更に、上記共通電極等が形成されていない基板側に液晶層との絶縁膜が全く形成されていないか、少くも一部に形成されていない箇所があることにより液晶層中のイオンの電荷を中和する中和電極を有して
25 いることを特徴とする横電界方式の液晶素子。

72 (補正後)、少なくとも一方に画素電極、共通電極、信号配線、



走査配線並びにそれら各部の絶縁等をなす絶縁膜を有する一对の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有する横電界方式の液晶素子において、

上記画素電極及び共通電極は各々、その液晶層との絶縁膜が全く形成されておらず、このため当該部分にて 500 \AA 以下の配向膜のみを介してあるいは直接液晶に接する開口画素電極、開口共通電極であり、

更に、上記画素電極及び共通電極が形成されていない基板側に液晶層との絶縁膜が全く形成されていないか、少くも一部に形成されていない箇所があることにより液晶層中のイオンの電荷を中和する中和電極を有していることを特徴とする横電界方式の液晶素子。

73 (補正後) . 上記横電界方式の液晶素子の液晶層は、

比抵抗が $10^{12} \sim 10^{13} \Omega \cdot \text{cm}$ である液晶を使用するものであることを特徴とする請求項69～請求項72のいずれかに記載の横電界方式の液晶素子。

74 (補正後) . 前記中和電極に走査配線の最小の電圧レベルに対し正の電位を印加する正電位印加手段を有していることを特徴とする請求項69～請求項72のいずれかに記載の横電界方式の液晶素子。

75 (補正後) . 前記中和電極は、

上記共通電極と同電位に設定されている同電位中和電極であることを特徴とする請求項69～請求項72のいずれかに記載の横電界方式の液晶素子。

76 (補正後) . 前記中和電極は、

遮光膜と兼用の遮光膜兼用中和電極であることを特徴とする請求項69～請求項72のいずれかに記載の横電界方式の液晶素子。

77 (補正後) . 前記中和電極は、

カラーフィルターと兼用のカラーフィルター兼用中和電極であるこ



とを特徴とする請求項 6 9 ～ 請求項 7 2 のいずれかに記載の横電界方式の液晶素子。

7 8 (補正後) . 上記画素電極、共通電極、信号配線のいずれかが、その上部に絶縁膜が形成されていないため、当該部は配向膜のみを介して液晶層に面している部分の配向膜は、

樹脂をベースとした導電製物質からなることを特徴とする請求項 6 9 ～ 請求項 7 2 のいずれかに記載の横電界方式の液晶素子。

7 9 (補正後) . 前記中和電極に走査配線の最小の電圧レベルに対し正の電位を印加する正電位印加手段を有していることを特徴とする請求項 7 6 に記載の横電界方式の液晶素子。

8 0 (補正後) . 前記中和電極に走査配線の最小の電圧レベルに対し正の電位を印加する正電位印加手段を有していることを特徴とする請求項 7 7 に記載の横電界方式の液晶素子。

8 1 (補正後) . 前記中和電極は、上記共通電極と同電位に設定されている同電位中和電極であることを特徴とする請求項 7 6 に記載の横電界方式の液晶素子。

8 2 (補正後) . 前記中和電極は、上記共通電極と同電位に設定されている同電位中和電極であることを特徴とする請求項 7 7 に記載の横電界方式の液晶素子。

8 3 (補正後) . 少なくとも一方に横電界を発生させる画素電極と共通電極とこれら相互の絶縁等をなす絶縁膜とを有する一対の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子の製造方法において、

両基板の内面側に一旦形成した配向膜の所定部を除去する配向膜除去ステップを有していることを特徴とする横電界方式の液晶素子の製造方法。



8 4 (補正後) 少なくとも一方に横電界を発生させる画素電極と共通電極とこれら相互の絶縁等をなす絶縁膜を有する一对の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子の製造方法において、

- 5 両基板の内面側に一旦形成された配向膜の所定部をエッチングにて除去する配向膜除去ステップと、

残った配向膜に、配向処理をする配向ステップとを有していることを特徴とする横電界方式の液晶素子の製造方法。

- 8 5 (補正後) . 少なくとも一方に横電界を発生させる画素電極と
10 共通電極とこれら相互の絶縁膜等をなす絶縁膜を有する一对の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子の製造方法において、

- 両基板の内面側に一旦形成された電極若しくは配線上の配向膜の所定部をラビングにて剥離する剥離ステップを有していることを特徴と
15 する横電界方式の液晶素子の製造方法。

8 6 (補正後) . 前記剥離ステップは、

ラビング時における押し込み量を 0 . 5 m m 以上とする押圧ラビング剥離ステップであることを特徴とする請求項 8 5 に記載の横電界方式の液晶素子の製造方法。

- 20 8 7 . 一方に画素電極と共通電極及び両電極に対応しての信号線と走査線並びに絶縁層が形成された一对の基板と、両基板の内面側に設けられた配向膜を介して液晶を挟持した横電界方式の液晶素子において、

他方の基板に形成された導電性の遮光膜と、

- 25 該遮光膜と上記共通電極、画素電極、走査線若しくは信号配線とを電氣的に接続する電氣的接続部とを有していることを特徴とする横電



界方式の液晶素子。

88（補正後）．一方に画素電極と共通電極及び両電極に対応しての信号線と走査線並びに絶縁層が形成された一对の基板と、両基板の内面側に設けられた配向膜を介して液晶を挟持した横電界方式の液晶素子の製造方法において、

他方の基板の所定位置に導電性物質からなる遮光膜を形成する遮光膜形成ステップと、

上記遮光膜のオーバーコート層の材料として感光性材料を選択するオーバーコート層材料選択ステップと、

10 選択された感光性材料でオーバーコート層を形成するオーバーコート層形成ステップと、

前記導電性の遮光膜上のオーバーコート材料層を該遮光膜上でオーバーコート層が存在しない領域が有るようにフォトリソグラフィーを使用して形成するフォトリソグラフィ利用オーバーコート層部分剥がし部形成ステップとを有していることを特徴とする横電界方式の液晶素子の製造方法。

89．形成された導電性の遮光膜に上記共通電極と同じ電位の電位を与えることとなる電氣的接続部を形成する同電位用導電部形成ステップを有していることを特徴とする請求項88記載の横電界方式の液晶素子の製造方法。

90（補正後）．横電界方式の液晶素子の製造方法であって、

第1の基板に金属層よりなりトランジスタのゲートを兼ねる走査線と対向電極を所定位置に形成する第1導電層形成ステップと、

上記形成された走査線と対向電極の上に第1の絶縁膜を形成する第1絶縁膜形成ステップと、

半導体層を所定位置に形成する半導体層形成ステップと、



信号線と画素電極を所定位置に形成する第 2 導電層形成ステップと、
 第 2 の絶縁膜を、上記所定位置に形成された半導体層からなるスイッチング素子の上にだけ形成する第 2 絶縁膜形成ステップとを有していることを特徴とする横電界方式の液晶素子の製造方法であって、横
 5 電界方式の液晶素子の製造方法。

9 1 . 横電界方式の液晶素子の製造方法であって、

第 1 の基板に金属層よりなりトランジスタのゲートを兼ねる走査線と対向電極を所定位置に形成する第 1 導電層形成ステップと、

上記形成された走査線と対向電極の上に第 1 の絶縁膜を形成する第
 10 1 絶縁膜形成ステップと、

半導体層を所定位置に形成する半導体形成ステップと、

信号線と画素電極を所定位置に形成する第 2 導電層形成ステップと、

第 2 の絶縁膜を所定位置に形成された半導体層からなるスイッチング素子の上と上記信号線の上にだけ形成する第 2 絶縁膜形成ステップ
 15 とを有していることを特徴とする横電界方式の液晶素子の製造方法。

9 2 . 横電界方式の液晶素子の製造方法であって、

第 1 の基板に金属層よりなりトランジスタのゲートを兼ねる走査線と対向電極を所定位置に形成する第 1 導電層形成ステップと、

上記形成された走査線と対向電極の上に第 1 の絶縁膜を形成する第
 20 1 絶縁膜形成ステップと、

半導体層を所定位置に形成する半導体形成ステップと、

信号線と画素電極を所定位置に形成する第 2 導電層形成ステップと、

第 2 の絶縁膜を所定位置に形成された半導体層からなるスイッチング素子の上と上記走査線の上にだけ形成する第 2 絶縁膜形成ステップ
 25 とを有していることを特徴とする横電界方式の液晶素子の製造方法。

9 3 . 横電界方式の液晶素子の製造方法であって、



第 1 の基板に金属層よりなりトランジスタのゲートと兼ねる走査線と対向電極を所定位置に形成する第 1 導電層形成ステップと、

上記形成された走査線と対向電極の上に第 1 の絶縁膜を形成する第 1 絶縁膜形成ステップと、

5

10

15

20

25



10/089888
Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference P23799-P0	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP00/07011	International filing date (day/month/year) 06 October 2000 (06.10.00)	Priority date (day/month/year) 06 October 1999 (06.10.99)
International Patent Classification (IPC) or national classification and IPC G02F 1/1339, 1/1368, 1/1343, C09K 19/02		
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>4</u> sheets, including this cover sheet.</p> <p><input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of <u>19</u> sheets.</p>	
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input type="checkbox"/> Certain observations on the international application</p>	

Date of submission of the demand 17 April 2001 (17.04.01)	Date of completion of this report 22 January 2002 (22.01.2002)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/07011

I. Basis of the report

1. With regard to the **elements** of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
pages 1-81, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☒ the claims:
pages 1-7,9-16,60-64,66,67,87,89,91-97, as originally filed
pages _____, as amended (together with any statement under Article 19
pages _____, filed with the demand
pages 8,17-35,41-59,65,68-86,88,90, filed with the letter of 11 January 2002 (11.01.2002)
- ☒ the drawings:
pages 1/83-83/83, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

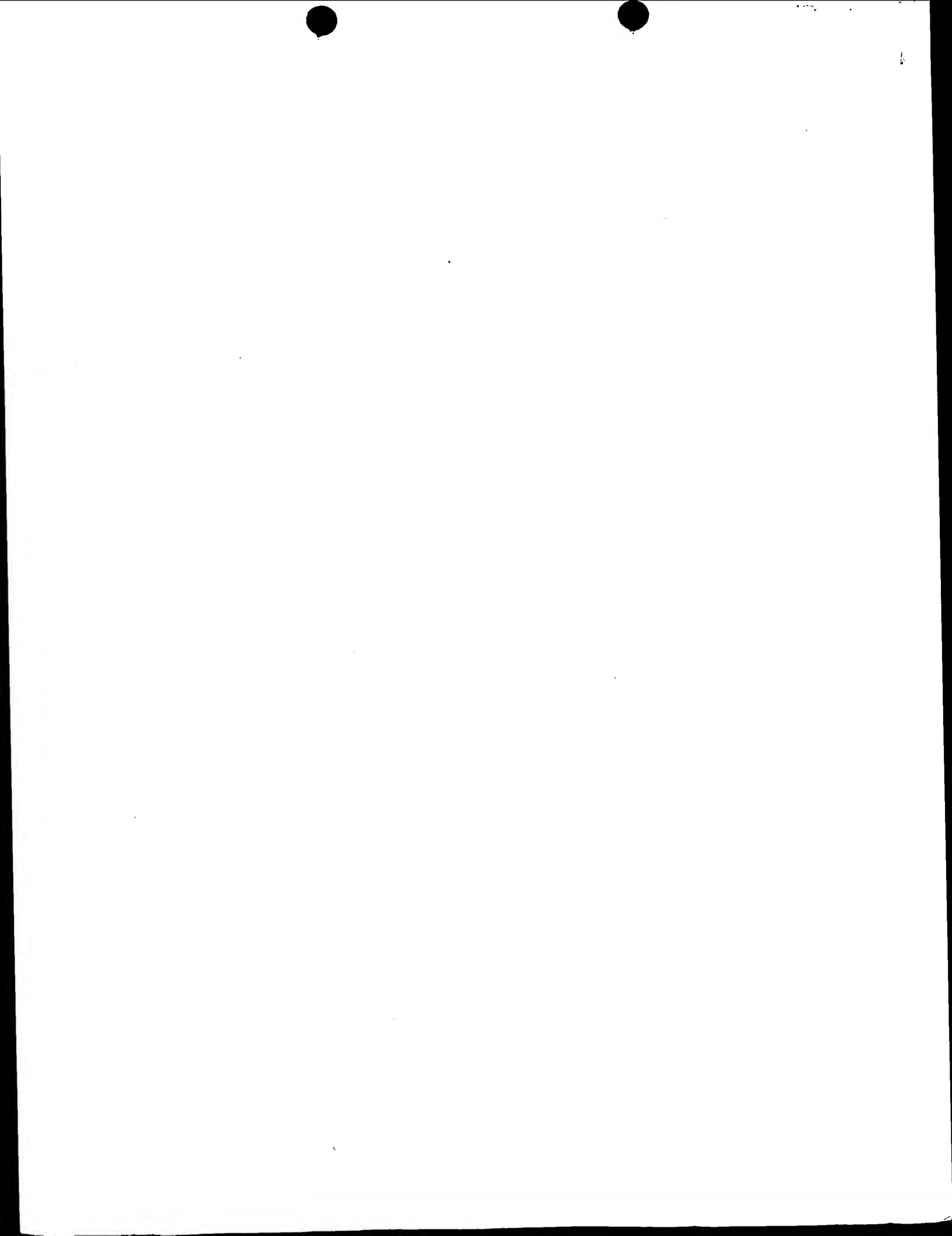
4. ☒ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☒ the claims, Nos. 36-40
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.



INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP 00/07011

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-12, 16, 19-35, 41-54, 56-97	YES
	Claims	13-15, 17, 18, 55	NO
Inventive step (IS)	Claims	1-12, 16, 19-35, 41, 42, 44, 52-54, 56, 59-64, 66, 68-97	YES
	Claims	13-15, 17, 18, 43, 45-51, 55, 57, 58, 65, 67	NO
Industrial applicability (IA)	Claims	1-35, 41-97	YES
	Claims		NO

2. Citations and explanations

Document 1: JP, 63-121020, A (Canon Inc.), May 25, 1988

Document 2: JP, 10-206867, A (Frontec Incorporated),
August 7, 1998

Document 3: JP, 10-186391, A (Hitachi, Ltd.), July 14,
1998

Claims 13 to 15, 17 and 18

The invention set forth in Claims 13 to 15, 17 and 18 lacks novelty over Document 1 cited in the international search report.

Document 1 (Fig. 1) discloses the feature wherein "by configuring the alignment film using a resin containing a conductive material, adverse effects from the uneven distribution of ions and liquid crystal molecules in the liquid crystal are eliminated" and since this conductive alignment film is equivalent to the neutral electrode of the present application, the feature set forth in Claims 13 to 15, 17 and 18 of "having on one or both of the substrates a neutral electrode which neutralises the ions in the liquid crystal, said neutral electrode being in direct contact with liquid crystal" is disclosed in Document 1.

Claim 55

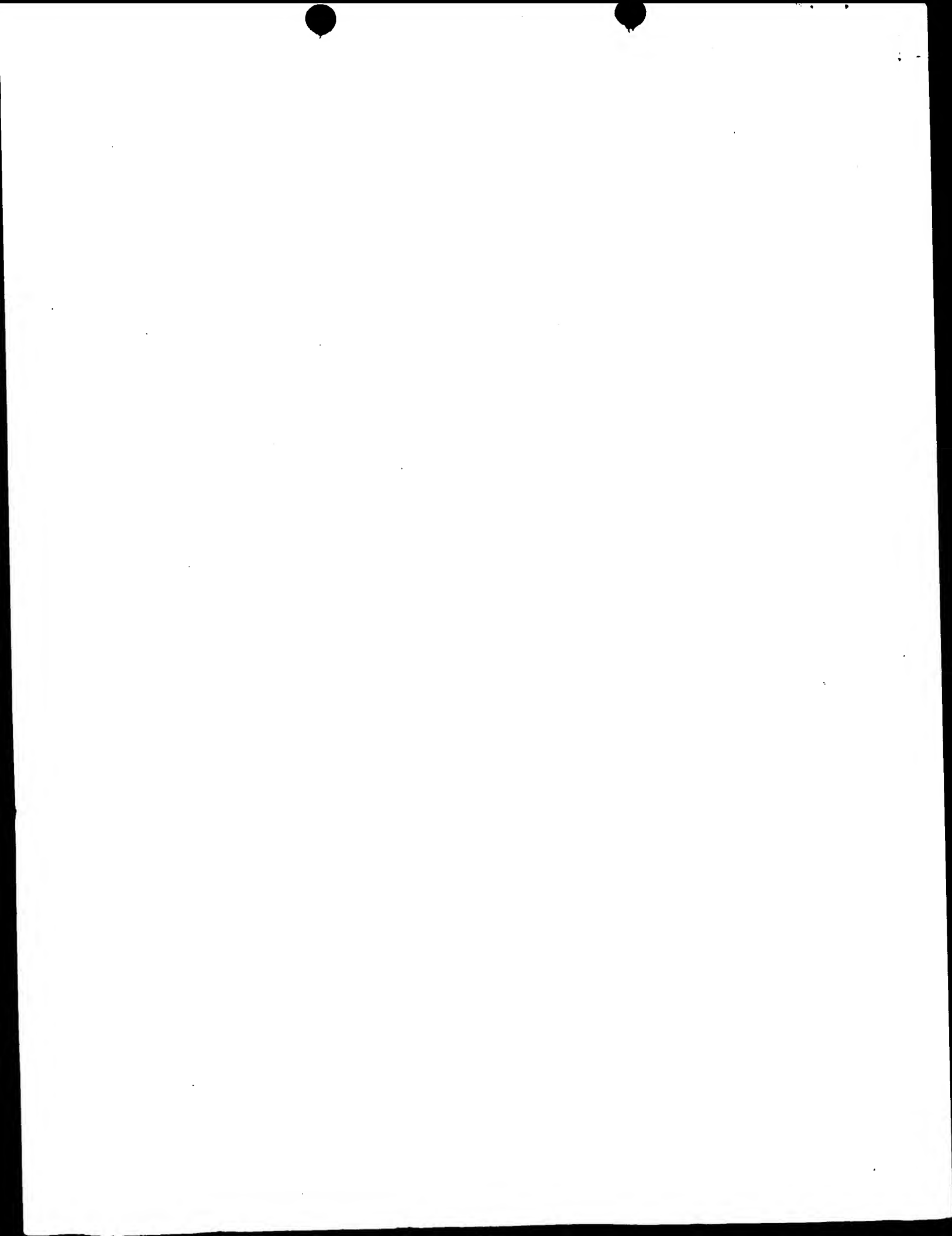
The invention set forth in Claim 55 lacks novelty over Document 2 cited in the international search report.

The "in-plane switching type liquid crystal element wherein an insulation film is formed on the pixel electrode or the counter electrode, but is not formed on the other" set forth in Claim 55 is disclosed in Document 2 (Fig. 1).

Claims 43, 45 to 51, 57, 58, 65 and 67

The invention set forth in Claims 43, 45 to 51, 57, 58, 65 and 67 does not involve an inventive step in the light of Documents 2 and 3 cited in the international search report.

Document 2 (Fig. 1 and paragraph [0035]) discloses the feature of "providing a polyimide alignment film on the black matrix connected to the common electrodes, the signal lines and the pixel electrodes" and Document 3 (paragraph [0009]) discloses an "in-plane switching type liquid crystal element, which uses a liquid crystal having a resistance of $10^{12} \Omega \cdot \text{cm}$ and wherein the thickness of the polyimide alignment film is approximately $0.05 \mu\text{m}$ - $0.15 \mu\text{m}$. Since Documents 2 and 3 relate to alignment films used in in-plane switching liquid crystal elements, it would be easy for a person skilled in the art to conceive of applying the feature disclosed in Document 3 to Document 2, thus deriving the feature of "providing a thin film region comprising an alignment layer of 500\AA or less on the electrodes maintaining a specific voltage relationship with the counter electrode, or on the signal line and/or on the pixel electrode" set forth in Claims 43, 45 to 51, 65 and 67 and the feature wherein "a liquid crystal with a resistance of 10^{12} - $10^{13} \Omega \cdot \text{cm}$ is used" set forth in Claims 57 and 58.



A translation of the annexes to the International Preliminary
Examination Report under PCT Article 36

8.(amended) A liquid crystal element, in which liquid crystal is
5 held by two substrates above and below it in a space enclosed by a
wall,

wherein, in a portion that seals the space after filling liquid
crystal into it, a resin is used that has a viscosity of not more than
20 Pa · s at a predetermined temperature of at least 40°C when it is
10 uncured and that can be cured by electromagnetic waves; and

wherein the cured resin does not include optically foreign
matter, such as water, air or dust.

17.(amended) The liquid crystal element according to any of
15 claims 13 to 15, wherein the neutralization electrode contacts the
liquid crystal layer directly, via a thin film not thicker than 500 Å,
or via a film that is transmissive to ions.

18.(amended) The liquid crystal element according to claim
20 16, wherein the neutralization electrode contacts the liquid crystal
layer directly, via a thin film not thicker than 500 Å, or via a film
that is transmissive to ions.

19.(amended) An in-plane electric field mode liquid crystal
25 element comprising a pair of substrates on at least one of which a
pixel electrode, a common electrode, a signal line and a scanning
line are formed, and a liquid crystal layer sandwiched via

[Handwritten signature]



orientation films provided on the inner sides of the two substrates;

the liquid crystal element comprising, on a substrate side on which the pixel electrode, etc., are not provided, a light-blocking film of a structure with protrusions/recesses in a surface on the liquid crystal layer side, and wherein the light-blocking film
5 contacts the liquid crystal layer directly, via a thin film not thicker than 500 Å, or via a film that is transmissive to ions.

20.(amended) An in-plane electric field mode liquid crystal
10 element comprising a pair of substrates on at least one of which a pixel electrode, a common electrode, a signal line and a scanning line are formed, and a liquid crystal layer sandwiched via orientation films provided on the inner sides of the two substrates;

the liquid crystal element comprising, on a substrate side on which the pixel electrode etc. are provided, a light-blocking film of
15 a structure with protrusions/recesses in a surface on the liquid crystal layer side, wherein the light-blocking film contacts the liquid crystal layer directly, via a thin film not thicker than 500 Å, or via a film that is transmissive to ions.

20

21.(amended) An in-plane electric field mode liquid crystal
element comprising a pair of substrates on at least one of which a pixel electrode, a common electrode, a signal line and a scanning
line are formed, and a liquid crystal layer sandwiched via
25 orientation films provided on the inner sides of the two substrates;

the liquid crystal element comprising, on a substrate side on which the pixel electrode etc. are not provided, a neutralization



electrode of a structure with protrusions/recesses in a surface on the liquid crystal layer side, wherein the neutralization electrode with protrusions/recesses in its surface contacts the liquid crystal layer directly, via a thin film not thicker than 500 Å, or via a film
5 that is transmissive to ions.

22.(amended) An in-plane electric field mode liquid crystal element comprising a pair of substrates on at least one of which a pixel electrode, a common electrode, a signal line and a scanning
10 line are formed, and a liquid crystal layer sandwiched via orientation films provided on the inner sides of the two substrates;
the liquid crystal element comprising, on a substrate side on which the pixel electrode, etc., are provided, a neutralization electrode of a structure with protrusions/recesses in a surface on
15 the liquid crystal layer side, wherein the neutralization electrode with protrusions/recesses in its surface contacts the liquid crystal layer directly, via a thin film not thicker than 500 Å, or via a film that is transmissive to ions.

20 23.(amended) An in-plane electric field mode liquid crystal element comprising a pair of substrates on at least one of which a pixel electrode, a common electrode, a signal line and a scanning line are formed, an opposing substrate in which an opposing electrode is formed in opposition to the pixel electrode, and a liquid
25 crystal layer sandwiched via orientation films provided on the inner sides of the two substrates, wherein an alignment of the liquid crystal molecules is changed by applying a voltage between



the pixel electrode, the common electrode, and the opposing electrode;

wherein the opposing electrode has a liquid crystal layer side surface of a structure with protrusions/recesses, and moreover this
5 surface of a structure with protrusions/recesses contacts the liquid crystal layer directly, via a thin film not thicker than 500 Å, or via a film that is transmissive to ions.

24.(amended) An in-plane electric field mode liquid crystal
10 element comprising a pair of substrates on at least one of which a pixel electrode, a common electrode, a signal line and a scanning line are formed, an opposing substrate in which an opposing electrode is formed in opposition to the pixel electrode, and a liquid crystal layer sandwiched via orientation films provided on the
15 inner sides of the two substrates, wherein an alignment of the liquid crystal molecules is changed by applying a voltage between the pixel electrode, the common electrode and the opposing electrode;

the liquid crystal element comprising, on an opposing
20 substrate side on which the pixel electrode, etc., are not formed, a light-blocking film of a structure with protrusions/recesses in a surface on the liquid crystal layer side, wherein the surface of the light-blocking layer with protrusions/recesses contacts the liquid crystal layer directly, via a thin film not thicker than 500 Å, or via a
25 film that is transmissive to ions.

25.(amended) An in-plane electric field mode liquid crystal



element comprising a pair of substrates on at least one of which a pixel electrode, a common electrode, a signal line and a scanning line are formed, an opposing substrate in which an opposing electrode is formed in opposition to the pixel electrode, and a liquid
5 crystal layer sandwiched via orientation films provided on the inner sides of the two substrates, wherein an alignment of the liquid crystal molecules is changed by applying a voltage between the pixel electrode, the common electrode and the opposing electrode;

10 the liquid crystal element comprising, on an opposing substrate side on which the pixel electrode, etc., are formed, a light-blocking film of a structure with protrusions/recesses in a surface on the liquid crystal layer side, wherein the surface of the light-blocking layer with protrusions/recesses contacts the liquid
15 crystal layer directly, via a thin film not thicker than 500 Å, or via a film that is transmissive to ions.

26.(amended) The in-plane electric field mode liquid crystal element according to any of claims 19, 20, 24 and 25, wherein the
20 light-blocking film is made of a conductive resin-based substance.

27.(amended) The in-plane electric field mode liquid crystal element according to any of claims 19 to 25, wherein the liquid crystal layer uses a liquid crystal with a specific resistance of 10^{12}
25 to $10^{13} \Omega \cdot \text{cm}$.

28.(amended) The in-plane electric field mode liquid crystal



element according to claim 26, wherein the liquid crystal layer uses a liquid crystal with a specific resistance of 10^{12} to $10^{13} \Omega \cdot \text{cm}$.

29.(amended) A color filter used in a display device in which a
5 liquid crystal is driven in in-plane electric field mode;

wherein a surface of a conductive light-blocking film portion on a liquid crystal layer side has a structure with protrusions/recessions, and the surface of the structure with protrusion/recessions contacts the liquid crystal layer directly, via
10 a thin film not thicker than 500 \AA , or via a film that is transmissive to ions.

30.(amended) The in-plane electric field mode liquid crystal element according to any of claims 19, 20, 24 and 25, wherein a
15 difference between the recessions and the protrusions in the protrusion/recession structure of the light-blocking film is at least $0.1 \mu\text{m}$.

31.(amended) The in-plane electric field mode liquid crystal element according to any of claims 19, 20, 24 and 25, wherein a
20 difference between the recessions and the protrusions in the protrusion/recession structure of the light-blocking film is at least $0.3 \mu\text{m}$.

25 32.(amended) The in-plane electric field mode liquid crystal element according to claim 26, wherein a difference between the recessions and the protrusions in the protrusion/recession



structure of the light-blocking film is at least 0.3 μm .

33.(amended) The in-plane electric field mode liquid crystal element according to claim 27, wherein a difference between the
5 recessions and the protrusions in the protrusion/recession structure of the light-blocking film is at least 0.3 μm .

34.(amended) The in-plane electric field mode liquid crystal element according to claim 21 or 22, wherein a difference between
10 the recessions and the protrusions in the protrusion/recession structure of the neutralization electrode is at least 0.1 μm .

35.(amended) The in-plane electric field mode liquid crystal element according to claim 27, wherein a difference between the
15 recessions and the protrusions in the protrusion/recession structure of the light-blocking film is at least 0.3 μm .

36. (cancelled)

20 37. (cancelled)

38. (cancelled)

39. (cancelled)

25

40. (cancelled)



41.(amended) An in-plane electric field mode liquid crystal element comprising:

5 a pair of substrates including, at least on one of the substrates, source signal lines and gate signal lines arranged in a matrix, switching elements arranged at intersections between the source signal lines and the gate signal lines, pixel electrodes connected to the switching elements, common electrodes facing the pixel electrodes, an insulating layer for insulation, etc., of these parts; and

10 a liquid crystal layer sandwiched via orientation films provided in principle on the inner side of the two substrates;

 wherein the liquid crystal element comprises electrodes for holding a voltage of a predetermined relation to gates, and acting to neutralize ions generated in the liquid crystal.

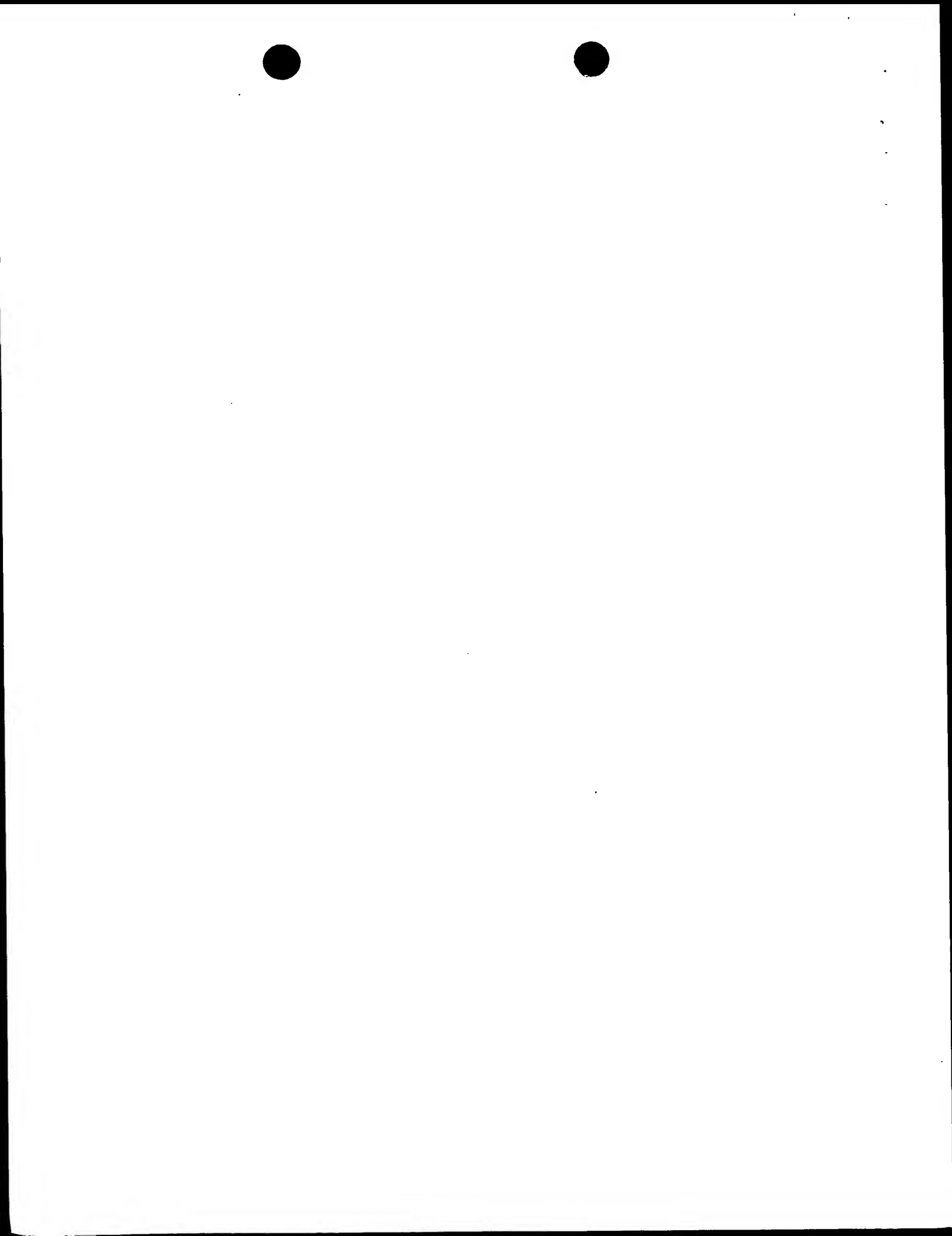
15

42.(amended) An in-plane electric field mode liquid crystal element comprising:

20 a pair of substrates including, at least on one of the substrates, source signal lines and gate signal lines arranged in a matrix, switching elements arranged at intersections between the source signal lines and the gate signal lines, pixel electrodes connected to the switching elements, common electrodes facing the pixel electrodes, an insulating layer for insulation, etc., of these parts; and

25 a liquid crystal layer sandwiched via orientation films provided in principle on the inner side of the two substrates;

 wherein the liquid crystal element comprises electrodes for



holding a voltage of a predetermined relation to the pixel electrodes, and acting to neutralize ions generated in the liquid crystal.

43.(amended) An in-plane electric field mode liquid crystal
5 element comprising:

a pair of substrates including, at least on one of the substrates, source signal lines and gate signal lines arranged in a matrix, switching elements arranged at intersections between the source signal lines and the gate signal lines, pixel electrodes
10 connected to the switching elements, common electrodes facing the pixel electrodes, an insulating layer for insulation etc. of these parts; and

a liquid crystal layer sandwiched via orientation films provided in principle on the inner side of the two substrates;

15 wherein the liquid crystal element comprises electrodes for holding a voltage of a predetermined relation to opposing electrodes, at least of portion of which contacts the liquid crystal layer directly, via an orientation film not thicker than 500 Å, via a thin film not thicker than 500 Å, or via a film that is transmissive to ions
20

44.(amended) An in-plane electric field mode liquid crystal element comprising:

a pair of substrates including, at least on one of the substrates, source signal lines and gate signal lines arranged in a
25 matrix, switching elements arranged at intersections between the source signal lines and the gate signal lines, pixel electrodes connected to the switching elements, common electrodes facing the



pixel electrodes, an insulating layer for insulation etc. of these parts; and

a liquid crystal layer sandwiched via orientation films provided in principle on the inner side of the two substrates;

5 wherein the liquid crystal element comprises electrodes for holding a voltage of a predetermined relation to at least one of scanning signal lines or gate signal lines, and acting to neutralize ions generated in the liquid crystal.

10 45.(amended) An in-plane electric field mode liquid crystal element comprising:

a pair of substrates including, at least on one of the substrates, source and gate signal lines as conductive layers, as well as pixel electrodes and common electrodes for generating an
15 in-plane electric field, and further including an insulating film ensuring insulation or the like among these conductive layers; and

a liquid crystal layer sandwiched via orientation films provided in principle on the inner side of the two substrates;

20 wherein the liquid crystal element comprises a region made into a thin film, in which the total thickness of a film forming a third layer made of the insulating film and an orientation film arranged between the conductive layers and the liquid crystal layer is not more than 500 Å.

25 46.(amended) The in-plane electric field mode liquid crystal element according to claim 45, wherein the region made into a thin film is located on at least one of the orientation film and the



insulating film.

47.(amended) The in-plane electric field mode liquid crystal element according to claim 45, wherein the region made into a thin film is on the orientation film or a protective film, and the
5 orientation film or the protective film is made of a resin-based conductive material.

48.(amended) The in-plane electric field mode liquid crystal element according to any of claims 45, 46 and 47, wherein the
10 region made into a thin film is located on the pixel electrodes, the common electrodes or the signal lines.

49.(amended) The in-plane electric field mode liquid crystal element according to any of claims 45, 46 and 47,
15

wherein the in-plane electric field mode liquid crystal element includes a resin-based conductive light-blocking film; and

the region made into a thin film is located on the conductive light-blocking film.

20

50.(amended) The in-plane electric field mode liquid crystal element according to claim 49, wherein the region made into a thin film is formed on a substrate opposing the substrate on which the pixel electrodes are formed.

25

51.(amended) An in-plane electric field mode liquid crystal element comprising:



a pair of substrates including, on at least one of the substrates, as conductive layers, signal lines, storage capacity electrodes, and pixel electrodes and common electrodes for generating an in-plane electric field, and an insulating film for
5 insulating, etc., these conductive layers from one another; and

a liquid crystal layer sandwiched via orientation films provided in principle on the inner side of the two substrates;

wherein a film forming a third layer made of the insulating film and the orientation films, etc., arranged between the
10 conductive layer and the liquid crystal is, in a predetermined location, only the orientation film of a film thickness of not more than 500 Å, a thin film of not more than 500 Å, a film transmissive to ions, or has not been formed in the first place.

15 52.(amended) The in-plane electric field mode liquid crystal element according to claim 51, wherein the predetermined location at which the liquid crystal layer and the conductive layer are in direct contact is on the pixel electrodes, the common electrodes, the storage capacity electrodes, or the signal lines.

20

53.(amended) The in-plane electric field mode liquid crystal element according to claim 51, wherein the in-plane electric field mode liquid crystal element comprises a resin-based conductive light-blocking film, and the predetermined location at which the
25 liquid crystal layer and the conductive layer are in direct contact is on the conductive light-blocking film.



54.(amended) The in-plane electric field mode liquid crystal element according to claim 53, wherein the region the region made into a thin film is formed on a substrate opposing the substrate on which the pixel electrodes, etc., are formed.

5

55.(amended) An in-plane electric field mode liquid crystal element comprising:

a pair of substrates including, on one of the substrates, pixel electrodes, as well as opposing electrodes and signal lines not on the same layer as the pixel electrodes, and an insulating film for insulating, etc., these from one another; and

a liquid crystal layer sandwiched via orientation films provided in principle on the inner side of the two substrates;

wherein the insulating film is formed on either the pixel electrodes or the opposing electrodes, and is not formed at all on the other of the two.

56.(amended) The in-plane electric field mode liquid crystal element according to claim 55, wherein the insulating film is formed along the direction of rubbing in the in-plane electric field mode liquid crystal element.

57.(amended) The in-plane electric field mode liquid crystal element according to any of claims 45 to 47, 51 to 53, 55, and 56, wherein the in-plane electric field mode liquid crystal element uses a liquid crystal with a specific resistance of 10^{12} to $10^{13} \Omega \cdot \text{cm}$.



58.(amended) The in-plane electric field mode liquid crystal element according to claim 50, wherein the in-plane electric field mode liquid crystal element uses a liquid crystal having a specific resistance of 10^{12} to $10^{13} \Omega \cdot \text{cm}$.

5

59.(amended) The in-plane electric field mode liquid crystal element according to claim 54, wherein the in-plane electric field mode liquid crystal element uses a liquid crystal having a specific resistance of 10^{12} to $10^{13} \Omega \cdot \text{cm}$.

10

65.(amended) An in-plane electric field mode liquid crystal element comprising:

a pair of substrates, in which on one of the substrates is formed pixel electrodes, common electrodes, and signal lines and scanning lines corresponding to the pixel electrodes and the common electrodes;

wherein liquid crystal is sandwiched via orientation films provided on the inner side of the two substrates;

wherein the in-plane electric field mode liquid crystal element comprises, on the other substrate, a conductive light-blocking film extending in the direction of the signal lines and the direction of the scanning lines, and there are regions, arranged in a grid, that are in contact with the liquid crystal layer via a thin film layer of not more than 500 \AA or a film transmissive to ions arranged.

68.(amended) The in-plane electric field mode liquid crystal



element according to claim 66, wherein columns are formed at a predetermined site as spacers for holding a fixed spacing between the substrates of the in-plane electric field mode liquid crystal element.

5

69.(amended) An in-plane electric field mode liquid crystal element comprising:

a pair of substrates including, on at least one of the substrates, pixel electrodes, common electrodes, signal lines, scanning lines, and an insulating film for insulating, etc., these portions; and

a liquid crystal layer sandwiched via orientation films provided in principle on the inner side of the two substrates;

wherein no insulating film is formed on at least a portion of the liquid crystal side of at least one of the pixel electrodes, the common electrodes, and the signal lines, whereby these electrodes or lines are insulating film open electrodes contacting the liquid crystal directly; and

wherein the in-plane electric field mode liquid crystal element comprises, on the substrate side on which the pixel electrodes and the common electrodes have not been formed, a neutralization electrode for neutralizing ionic charges in the liquid crystal layer by sites where the insulating film to the liquid crystal layer has not been formed at all or the insulating film to the liquid crystal layer has at least partially not been formed.

70.(amended) An in-plane electric field mode liquid crystal



element comprising:

a pair of substrates including, on at least one of the substrates, pixel electrodes, common electrodes, signal lines, scanning lines, and an insulating film for insulating, etc., these
5 portions; and

a liquid crystal layer sandwiched via orientation films provided in principle on the inner side of the two substrates;

wherein the pixel electrodes are open pixel electrodes, in which no insulating film has been formed at all, so that at these
10 portions the pixel electrodes contact the liquid crystal directly or via only an orientation film of not more than 500 Å; and

wherein the in-plane electric field mode liquid crystal element comprises, on the substrate side on which the pixel electrodes, etc., have not been formed, a neutralization electrode
15 for neutralizing ionic charges in the liquid crystal layer by sites where the insulating film to the liquid crystal layer has not been formed at all or the insulating film to the liquid crystal layer has at least partially not been formed.

20 71.(amended) An in-plane electric field mode liquid crystal element comprising:

a pair of substrates including, on at least one of the substrates, pixel electrodes, common electrodes, signal lines, scanning lines, and an insulating film for insulating, etc., these
25 portions; and

a liquid crystal layer sandwiched via orientation films provided in principle on the inner side of the two substrates;



wherein no insulating film has been formed at all on the common electrodes, so that at these portions the common electrodes are open common electrodes, in which the pixel electrodes contact the liquid crystal directly or via only the orientation film of not
5 more than 500 Å; and

wherein the in-plane electric field mode liquid crystal element comprises, on the substrate side on which the common electrodes, etc., have not been formed, a neutralization electrode for neutralizing ionic charges in the liquid crystal layer by sites
10 where the insulating film to the liquid crystal layer has not been formed at all or the insulating film to the liquid crystal layer has at least partially not been formed.

72.(amended) An in-plane electric field mode liquid crystal
15 element comprising:

a pair of substrates including, on at least one of the substrates, pixel electrodes, common electrodes, signal lines, scanning lines, and an insulating film for insulating, etc., these portions; and

20 a liquid crystal layer sandwiched via orientation films provided in principle on the inner side of the two substrates;

wherein the pixel electrodes and the common electrodes are, respectively, open pixel electrodes and open common electrodes, in which no insulating film to the liquid crystal layer has been formed
25 at all, so that at these portions they contact the liquid crystal directly or via only an orientation film of not more than 500 Å; and

wherein the in-plane electric field mode liquid crystal



element comprises, on the substrate side on which the pixel electrodes and common electrodes have not been formed, a neutralization electrode for neutralizing ionic charges in the liquid crystal layer by sites where the insulating film to the liquid crystal layer has not been formed at all or the insulating film to the liquid crystal layer has at least partially not been formed.

73.(amended) The in-plane electric field mode liquid crystal element according to any of claims 69 to 72, wherein the liquid crystal layer of the in-plane electric field mode liquid crystal element uses a liquid crystal with a specific resistance of 10^{12} to $10^{13} \Omega \cdot \text{cm}$.

74.(amended) The in-plane electric field mode liquid crystal element according to any of claims 69 to 72, including a positive potential applying means for applying, to the neutralization electrode, a positive potential with respect to a minimum voltage level of the scanning line.

75.(amended) The in-plane electric field mode liquid crystal element according to any of claims 69 to 72, wherein the neutralization electrode is an equipotential neutralization electrode that has been set to the same potential as the common electrode.

76.(amended) The in-plane electric field mode liquid crystal element according to any of claims 69 to 72, wherein the



neutralization electrode is a light-blocking film combined neutralization electrode that also serves as a light-blocking film.

77.(amended) The in-plane electric field mode liquid crystal
5 element according to any of claims 69 to 72, wherein the neutralization electrode is a color filter combined neutralization electrode that also serves as a color filter.

78.(amended) The in-plane electric field mode liquid crystal
10 element according to any of claims 69 to 72, wherein the insulating film has not been formed on a top portion of one of the pixel electrodes, the common electrodes, and the signal electrodes, so that the portion without the insulating film faces the liquid crystal layer via only the orientation film; and
15 wherein the orientation film is made of a resin-based conductive substance.

79.(amended) The in-plane electric field mode liquid crystal
element according to claim 76, comprising a positive potential
20 applying means for applying, to the neutralization electrode, a positive potential with respect to a minimum voltage level of the scanning line.

80.(amended) The in-plane electric field mode liquid crystal
25 element according to claim 77, comprising a positive potential applying means for applying, to the neutralization electrode, a positive potential with respect to a minimum voltage level of the



scanning line.

81.(amended) The in-plane electric field mode liquid crystal element according to claim 76, wherein the neutralization electrode
5 is an equipotential neutralization electrode that has been set to the same potential as the common electrode.

82.(amended) The in-plane electric field mode liquid crystal element according to claim 77, wherein the neutralization electrode
10 is an equipotential neutralization electrode that has been set to the same potential as the common electrode.

83.(amended) A method for manufacturing an in-plane electric field mode liquid crystal element having a pair of
15 substrates including, on at least one of the substrates, pixel electrodes for generating an in-plane electric field, common electrodes, and an insulating film for insulating, etc., these electrodes from one another, and a liquid crystal layer sandwiched via orientation films provided in principle on the inner side of the
20 two substrates; the method for manufacturing an in-plane electric field mode liquid crystal element, comprising:

an orientation film removal step of removing a predetermined portion of the orientation film once formed on the inner side of the two substrates.

25

84.(amended) A method for manufacturing an in-plane electric field mode liquid crystal element having a pair of



substrates including, on at least one of the substrates, pixel electrodes for generating an in-plane electric field, common electrodes, and an insulating film for insulating, etc., these electrodes from one another, and a liquid crystal layer sandwiched
5 via orientation films provided in principle on the inner side of the two substrates; the method for manufacturing an in-plane electric field mode liquid crystal element, comprising:

an orientation film removal step of removal, by etching, of a predetermined portion of the orientation film once formed on the
10 inner side of the two substrates; and

an orientation step of performing an orientation process to the remaining orientation film.

85.(amended) A method for manufacturing an in-plane
15 electric field mode liquid crystal element having a pair of substrates including, on at least one of the substrates, pixel electrodes for generating an in-plane electric field, common electrodes, and an insulating film for insulating, etc., these electrodes from one another, and a liquid crystal layer sandwiched
20 via orientation films provided in principle on the inner side of the two substrates; the method for manufacturing an in-plane electric field mode liquid crystal element, comprising:

a stripping step of stripping, by rubbing, a predetermined portion of the orientation film on the electrodes or the lines once
25 formed on the inner side of the two substrates.

86.(amended) The method for manufacturing an in-plane



electric field mode liquid crystal element according to claim 85, wherein the stripping step is a push rubbing stripping step wherein the pushing amount during rubbing is at least 0.5 mm.

5 88.(amended) A method for manufacturing an in-plane electric field mode liquid crystal element including a pair of substrates on which are formed, on at least one of the substrates, pixel electrodes, common electrodes, signal lines and scanning lines corresponding to these electrodes, and an insulating film for
10 insulating;

and a liquid crystal layer sandwiched via orientation films provided in principle on the inner side of the two substrates, the method for manufacturing an in-plane electric field mode liquid crystal element comprising:

15 a light-blocking film formation step of forming a light-blocking film made of a conductive substance at a predetermined location on the other substrate;

an over-coating layer material selection step of selecting a photosensitive material as the material of an over-coating layer of
20 the light-blocking film;

an over-coating layer formation step of forming an over-coating layer with the selected photosensitive material; and

an over-coating layer portion stripped portion formation step using photolithography of forming, by photolithography, on the
25 over-coating material layer on the conductive light-blocking film a region in which there is no over-coating layer on the light-blocking film.



90.(amended) A method for manufacturing an in-plane electric field mode liquid crystal element, comprising:

5 a first conductive layer formation step of forming, at a predetermined location on a first substrate, an opposing electrode and a scanning line also serving as a gate of a transistor made of a metal layer;

a first insulating film formation step of forming a first insulating film on the scanning line and the opposing electrode that are formed;

10 a semiconductor layer formation step of forming a semiconductor layer at a predetermined location;

a second conductive layer formation step of forming a signal line and a pixel electrode at predetermined locations; and

15 a second insulating film formation step of forming a second insulating film only on a switching element made of the semiconductor layer formed at the predetermined location.



(43) 国際公開日
2001 年 4 月 12 日 (12.04.2001)

PCT

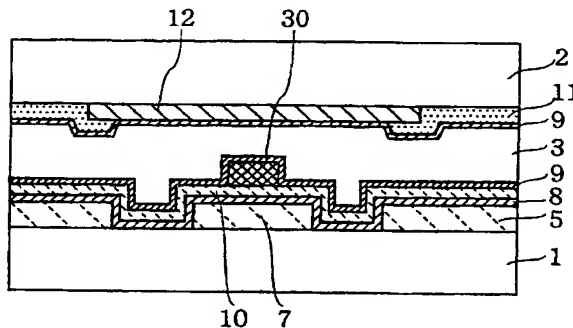
(10) 国際公開番号
WO 01/25843 A1

- (51) 国際特許分類⁷: G02F 1/1339, 特願2000/182628 2000 年 6 月 19 日 (19.06.2000) JP
1/1368, 1/1343, C09K 19/02 特願2000/182645 2000 年 6 月 19 日 (19.06.2000) JP
- (21) 国際出願番号: PCT/JP00/07011 (71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
(22) 国際出願日: 2000 年 10 月 6 日 (06.10.2000) TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市
大字門真1006番地 Osaka (JP).
- (25) 国際出願の言語: 日本語 (72) 発明者; および
- (26) 国際公開の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 西山和廣
(NISHIYAMA, Kazuhiro) [JP/JP]; 〒573-0081 大
阪府枚方市釈尊寺町33-10 Osaka (JP). 朝山純子
(ASAYAMA, Junko) [JP/JP]; 〒565-0862 大阪府吹田
(30) 優先権データ: 市津雲台2-2 C26-305 Osaka (JP). 小森一徳 (KOMORI,
特願平11/285549 1999 年 10 月 6 日 (06.10.1999) JP Kazunori) [JP/JP]; 〒669-1322 兵庫県三田市すずかけ
特願平11/303664 1999 年 10 月 26 日 (26.10.1999) JP 台4-6-4-1007 Hyogo (JP). 田中幸生 (TANAKA, Yukio)
特願2000/81206 2000 年 3 月 23 日 (23.03.2000) JP [JP/JP]; 〒607-8405 京都府京都市山科区御陵田山町
特願2000/114864 2000 年 4 月 17 日 (17.04.2000) JP 19 A-104 Kyoto (JP). 滝本昭雄 (TAKIMOTO, Akio)
特願2000/114871 2000 年 4 月 17 日 (17.04.2000) JP [JP/JP]; 〒572-0016 大阪府寝屋川市国松町4-1 Osaka
特願2000/182626 2000 年 6 月 19 日 (19.06.2000) JP

[続葉有]

(54) Title: LIQUID CRYSTAL ELEMENT, LIQUID CRYSTAL DISPLAY DEVICE AND PRODUCTION METHODS THERE-
FOR

(54) 発明の名称: 液晶素子、液晶表示装置及びそれらの製造方法



(57) Abstract: Curing of a sealing resin by UV radiation after liquid crystal sealing is made positive. The display character-
istics of a horizontal electric field type liquid crystal element
is improved. To meet the above requirements, the viscosity of
the sealing resin is lowered, and bubbles mixed into the sealing
resin are removed by an ultrasonic wave or the like. In addi-
tion, actions to eliminate ions and electric charge in the liquid
crystal layer are taken.

(57) 要約:

液晶を封入した後の封口用樹脂の紫外線照射による硬化を確実なも
のとする。

横電界方式の液晶素子の表示特性等を改善する

上記課題を解決するために、封口用樹脂の粘度を低くし、併せて封
口用樹脂内部へ混入した気泡を超音波等で除去する。

また、液晶層内のイオン、電荷を消す手段を講じる。

WO 01/25843 A1



(JP). 井上一生 (INOUE, Kazuo) [JP/JP]; 〒573-0013 大阪府枚方市星ヶ丘4-5-8-306 Osaka (JP). 熊川克彦 (KUMAGAWA, Katsuhiko) [JP/JP]; 〒572-0022 大阪府寝屋川市緑町9-14-302 Osaka (JP). 佐藤一郎 (SATO, Ichiro) [JP/JP]; 〒610-0362 京都府京田辺市東東神屋93-8 Kyoto (JP). 分元博文 (WAKEMOTO, Hirofumi) [JP/JP]; 〒921-8035 石川県金沢市泉が丘2-8-38 501 Ishikawa (JP). 木津紀幸 (KIZU, Noriyuki) [JP/JP]; 〒921-8148 石川県金沢市額新保1-471-102 Ishikawa (JP). 木村雅典 (KIMURA, Masanori) [JP/JP]; 〒574-0037 大阪府大東市新町19-401 Osaka (JP). 津田圭介 (TSUDA, Keisuke) [JP/JP]; 〒921-8817 石川県石川郡野々市町横宮町16-36-815 Ishikawa (JP).

(74) 代理人: 大前 要 (OHMAE, Kaname); 〒540-0037 大阪府大阪市中央区平野町2-3-14 ライオンズビル大
手前2階 Osaka (JP).

(81) 指定国 (国内): CN, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

液晶素子、液晶表示装置及びそれらの製造方法

5

技 術 分 野

本発明は、液晶素子に関し、特に横電界方式の液晶素子に関するものである。

背 景 技 術

10

(一般的な背景技術)

液晶素子、特に液晶表示装置は、ノート型パソコンやデスクトップパソコンのモニターをはじめ、ビデオカメラのビューファインダー、投写型のディスプレイなど様々な機器の表示部やこれに関連した部分等に使用されており、最近ではテレビの表示部としても用いられるようになってきた。またさらに、光プリンターヘッド、光フーリエ変換素子、15 ライトバルブなど、オプトエレクトロニクス関連素子としても利用されている。

さて、現在においては、液晶素子は表示装置に使われるのが最も多く、液晶表示モードとしてTN(ツイステッドネマティック)モード、20 VA(垂直配向)モード、IPS(In-Plane-Switching)モード等が一般的である。

なかでもIPSモードは、横電界方式あるいは櫛形電極方式とも呼ばれ、これは液晶分子を基板面に対してほぼ平行に配向させ、基板面に平行な電界を発生させることにより液晶分子を基板面内で回転させるため、25 視角方向による明るさの変化が少なく、ひいては視野角特性が優れているという特徴を有するものである(「液晶ディスプレイ技

術」4頁 産業図書刊、その他特開平10-206867(剛公報)。

以上の他、IPS方式の改良版として、電極間隔を狭くして斜め電界を利用して駆動するFFSモード(Fringe Field Switching Mode)や対向基板側に電極を形成して斜め電界を利用するHSモード(Hybrid Switching Mode)等がある。なお、これら両方式は、厳密にはあるいは純技術的にはIPS方式に含まれない面も有するが、後に説明する本願発明の目的、構成、効果に関しては共通する(あるいは、本願発明の思想を利用する)。このため、本明細書では、特にその請求の範囲では、IPS方式あるいは横電界方式と記載した場合、これらFFSモードやHSモードをも含めるものとする。

参考までに、これら3モードを図1に示す。本図において、1は、アレイ基板である。2は、対向基板である。3は、液晶である。6は、ソース線である。7は、走査線である。17は、薄膜半導体である。ただし、これら各モードの技術的内容は、いわゆる周知技術なので、その説明は省略する。

さて、IPS方式のみならず、液晶パネル内への液晶の充填は、図2に示すように、先ず1枚のガラス基板2に印刷によりシール樹脂の帯201を薄く四角に印刷し、次に他方の硝子基板1と併せてセルを形成し、その後シール樹脂の一部を欠いて形成した注入口よりセル内へ液晶を真空充填し、その後注入口に紫外線硬化性の樹脂202を塗布して液晶を封入する。その後、該封口用樹脂を、紫外線(U.V.)照射により硬化させていた。

しかしこのような方法では、紫外線樹脂を塗布するときに注入口の2枚のガラス基板の間隙部分に気泡151や異物15が残ることがあった。そして、このような気泡等が残ると、図3に示すように、紫外

線照射する際に紫外線硬化樹脂内に残った気泡や異物等が紫外線を散乱屈折させたり吸収したりし、紫外線照射方向からみて気泡の後ろ側に存在する紫外線硬化樹脂が紫外線の照射不足となる。その結果、そのままでは単に照射不足部分の紫外線樹脂が未硬化となるだけでなく、

5 使用時に未硬化の樹脂が液晶中に拡散していくため、液晶素子の長期信頼性の低下の一因ともなっていた。そして、この対策として各方向から紫外線を照射するのは、工程が複雑となる。

次に、このIPSモードのTFT液晶表示装置を連続して使用していると、白黒表示ならば本来白表示であるべきなのに黒い点状に見える表示むらが発生する場合がある。この、いわゆる黒点状のむらは、

10 表示品位を大きく低下させかねないためその解消を図る必要がある。そしてこの黒点状の表示むらの対策、解決方法については、特開平10-206857号にて言及されている。それによれば、黒点状のむらは画素電極、ソース信号配線の保護層のクラック部分で電気化学反応

15 が起こり、イオン性物質が生成することによって液晶層の電圧保持率が低下し、液晶の配列が変化して発生するとしている（従って、いわゆるノーマリホワイトやノーマリブラックの表示モードの如何等によつては、白い点状の表示むらの場合もありうる。また、カラー表示ならば、表示むらの色彩は何も黒白とは限らない。このため、本明細

20 書でいう「黒い点状の表示むら」等は、「電圧の保持率の低下に起因する白や色彩の付いた点状の表示むら」をも含む概念である。）。その結果、保護層の厚みを電極厚みに比べて厚くするか、または有機高分子の保護層を形成することで、黒点むらを解消出来るとしている。

以下、従来のこのIPS方式の液晶表示装置について図面を用いて

25 説明する。

図4は、一の液晶表示装置のアレイ基板の1画素の平面を模式的に

示した図である。図 5 の (1) と (2) は、各々図 4 の A - A、B - B 断面を示す図である。図 6 の (1)、(2)、(3) は各々図 1 の C - C、D - D、E - E 断面を示す図である。ただし、(2) と (3) においては、対向基板は (1) と同一であるため、その図示は省略してある。

さて、図 4 と図 5 において、5 は共通電極、7 はゲート信号配線であり、これらは同じ層に形成されている。次いで、絶縁層 8 がその上層（液晶層側）に形成され、更に半導体層からなる薄膜トランジスタ（TFT）17、ソース信号配線 6、画素電極 4 がパターン形成され、その上層に保護層 10 が堆積されてアレイ基板 1 を構成している。このアレイ基板及びこのアレイ基板に対向する対向（カラーフィルタ）基板 2 の対向面側に配向膜 9 が形成され、更に両基板間には液晶層 3 が形成され液晶表示パネルを構成している。図 6 は、少し精密な断面図である。なお、この内容は追って説明する。

これら 3 図に示すように、TN 型液晶パネルと異なり、IPS パネルは電極が同一平面上に存在している。

また、薄膜トランジスタのドレインと接続された電極を画素電極と呼び、ドレインと接続されていない電極を共通電極と呼んでいる。

ところで、このような液晶表示パネルの製造工程においては非常に微細な加工が要求されるため、製造中に異物が混入した場合、これに起因してゲート信号配線とソース信号配線の交差部分やゲート信号配線と共通電極の近接部分等でショートが発生し、生産歩留まりを低下させる大きな要因となっている。

すなわち、図 4 ～ 図 6 に示すように、同一面上にゲート信号配線と共通電極を形成するときには、通常スパッタリング法等により電極材料を堆積させた後、フォトリソグラフ法を用いてパターン形成を行う

が、図 7 及び図 8 に示すように、レジスト材料等に含まれた異物 15 が電極材料を除去すべき箇所に存在した場合、この異物によって露光が出来ず、本来図 4 に示すように除去され別々の配線・電極として形成されるべき箇所が残り、連続した配線となってショートを起こして 5 しまうことがある。

通常、このショート箇所は液晶表示パネル中で数ヶ所程度のことが多い。そして、この対策としては、レーザー等によってショート部分の切断を行うことがなされている。

しかし、レーザーで異物によるショート部分を除去したときには、
10 その箇所の電極も切断されており、併せてゲート電極上部の絶縁膜が破壊され、ゲート電極が露出してしまう。

ところで、ゲート電極が露出した状態で液晶表示装置の高温動作をした場合にはその部分に黒点状の表示ムラが発生するのがわかった。

この原因としては、液晶層を駆動するため充電するとき以外はゲート
15 ト電位は負電位になっている、すなわちほとんどの期間が、液晶中へ電子の注入が起こり、液晶層中にイオンが多数生成する、あるいは液晶層中のイオンがゲートが露出した部分に集まり、イオンの偏在が起こるためであると考えられる。この発生メカニズムを模式的に図 9 に示す。本図では液晶中へ注入される電子を e^- とし、液晶中の物質 A
20 がイオン化されて A^- となる様子を模式的に示している。

特に、基板と平行あるいは斜めの電界を印加して広視野角を実現する液晶モードでは、従来シアノ系の液晶を用いていた。しかし、シアノ系の液晶は高速化に有利であるが、定性的ではあるが、液晶が分解しやすいために液晶内のイオン量が増加しやすく、この面からは黒点
25 状のムラが発生しやすい恐れがある。

ところで、この黒点状のムラの発生の防止に関しても、上記特開平

10 - 206857号公報で言及されている。この公報によれば、保護膜あるいは絶縁膜8の膜厚をこの保護膜に接する電極の膜厚より0.4 μm 以上厚くすることが好ましいとしている。しかし、この方法ではショート対策のためにレーザーを照射して電極を切断すると保護膜5. がいくら厚くても保護膜は破壊されてしまうので黒点状のムラは発生してしまう。

また、特開平10-186391号公報では、液晶の比抵抗が $10^{13} \Omega \cdot \text{cm}$ 以上で、光学的な電圧保持率低下の原因となる絶縁膜を除去し、電界を発生させる電極構造の一部を配向膜に直接接して形成する10 方法が提案されている。

このように、電極構造の一部を配向膜に直接接して形成する方法では、全電極が絶縁膜で被覆されている場合よりは黒点状斑点の大きさは弱冠低減される。しかし、この方法では黒点状斑点低減の効果は小さく、近年の高度な水準の表示性能を充たすには不十分である。

15 また、表示の焼き付き現象（ある一定パターンを長時間表示した後、他のパターンに切り替えても前のパターンが残る現象）が顕著に現れてしまう。

このため、本願発明者らが検討を行った結果、その理由として以下の事が判明した。すなわち、黒点状のムラの原因となる液晶中のイオン性物質は図10に模式的に示すように、アレイ基板1側だけではなく、20 対向基板2側（カラーフィルタ基板側）にも広がる。このため、いくら片方の基板側（アレイ基板側）だけ絶縁膜を除去した電極を形成しても不十分であることによる。

この対策として、画素電極、ソース信号配線、共通配線、共通電極25 から液晶層へ直接ゲート信号配線に対し正の電位を供給し、生成したイオン性物質を中和することも考えられるが、これらの配線・電極は

いずれも液晶層を駆動するのに必要なものであり、この配線・電極の駆動に必要な電位が液晶との電極反応によって変化してしまうのは表示画質の点で問題となるばかりでなく、長期に亘る信頼性の観点からも好ましくない。

- 5 また、ただ単に電極を形成するだけでは、液晶中のイオン性物質の中和、回収用の面積が小さいため、黒点状のムラの発生防止には不十分である。

10 また横電界方式の液晶パネルにおいて開口率を高くするために、導電性のブラックマトリクスを共通電極と略同電位にしたり、ブラックマトリクスの上に共通電極と略同電位の導電膜を形成する方法（特開平10-206867号公報や特開平9-269504号公報）が提案されている。しかし先に述べたように黒点状のムラの原因となる液晶中のイオン性物質は図10に模式的に示すように、対向基板側（カラーフィルタ基板側）だけではなく、アレイ基板側にも広がるので、
15 片方の基板側（対向基板側）だけ絶縁膜を除去した電極を形成しても不十分であった。

更に、これらの方法では、黒斑点欠陥は多少は改善はされるものの、長期連続駆動において完全になくすことはできなかった。

（発明が解決しようとする課題の面から見た背景技術）

- 20 このため、2枚の基板間の確実、信頼性が高い液晶注入用孔（口）の封止技術の開発が望まれていた。

また、紫外線照射による樹脂の硬化は、硬化時期を任意に設定しえるが、作業者の目の保護への配慮が必要である。このため、何か他の樹脂にしたいと言う要望もある。

- 25 また、長期に渡る使用期間を通じて黒表示が発生しない、しかも開口率に悪影響を与えず、他の表示特性に悪影響を与えず、しかも製造

工程が複雑とならず、コストも易いIPS方式の液晶表示素子や装置の開発が望まれていた。

また、近年の表示装置の大型、高価格化の下で、その使用期間が極く長期に成る場合がある。この場合、上述の理由によるイオンの発生
5の他に、ユーザの過誤や自然放射線による液晶の分解、加水分解がたとえ在ったとしても、黒表示が発生しない技術の開発が望まれていた。

発 明 の 開 示

本発明は、以上の課題を解決することを目的となされたもので
10ある。

第1の大発明群は、2の発明群からなる。そして、第1の発明群においては、2枚の基板間に液晶を挟持した液晶素子において、その製造時に基板間へ液晶を充たした際用いた注入口の封止に、粘度が20
15Pa・s以下、好ましくは10Pa・s以下の樹脂を用いることを特徴としている。

また、樹脂の粘度が低下するように、80℃～50℃、脱気的面からは好ましくは80℃～90℃に赤外線等で加温している。なお、赤外線で加温するのは、工程が設備の面から容易なことによる。

また、樹脂の塗布時や塗布後に内部の空気、空気中に浮遊する微小
20な塵埃や水分からなる異物を外へ逃すため、20KHz以上の超音波や1MHz以上のメガソニックを用いて樹脂に振動を与えることを特徴としている。

また、樹脂の塗布時若しくはその後に、その内部の空気を逃すため大気圧より低い環境、例えば0.5気圧、好ましくは0.1気圧、より好ましくは0.01気圧以下におくことを特徴としている。
25

また、樹脂の塗布時若しくはその後に、内部の空気を外へ出すため

1 g、2 g等の加速度を与えることを特徴としている。

また、注入口への樹脂の塗布時若しくはその後に、樹脂の拭き取りと再度の塗布を少なくとも2回繰り返すことを特徴としている。

また、樹脂の塗布時若しくはその後に、内部の空気を外へ出すため
5 加速度を与えることを特徴としている。

また、樹脂としてはアクリル系やエポキシ系の紫外線硬化樹脂を用いることに特徴がある。これにより、樹脂の硬化のタイミングを任意に設定しえ、また硬化速度も迅速になる。

また、本発明群の他の発明では物の面から発明をとらえている。

10 第2の発明群は、封止用樹脂として嫌気性樹脂を使用するものである。ここに嫌気性樹脂とは、空気に触れている間は硬化せず、僅かな隙間で空気を遮断することにより硬化する樹脂を言う。一般的には、ネジロック等にしようされるものであり、その他空気の遮断と押圧や加熱で硬化するものもある。

15 その原理であるが、空気の遮断により、ジメタアクリレートが重合してポリアクリレートになって硬化するものである。このため、接着面にポリマーが形成されて強大な接着力が発生し、空気の遮断後数時間で最大強度に達するものである。このため、紫外線照射が必要でなく、内部に不純物による硬化むらが発生しにくいと言う性質を有する。

20 第2の大発明群は、8つの発明群からなり、各発明群においては、前述のごとく広義の横電界方式の液晶素子において、いわゆる黒反転を消すことを共通の目的としている。

従来の方法では、長期に渡っての黒表示防止の効果がないのは、一般的に図5等 to 示すように従来のカラーフィルター側の基板は、最表面にITO等の導電層、次にガラス基板、遮光層、カラーフィルター、
25 オーバーコート層、配向膜という構成になっており、電極の（導電性

の物質)の露出している箇所が存在せず、黒斑点欠陥の原因であるイオンやイオン化した成分がカラーフィルター側基板で全く回収されないためだとわかった。このため、何らかの手段でイオン等を確実に、そしてほとんど全て消去し続けることとしたものである。

- 5 まず、第1の発明群においては、横電界方式の液晶素子において、この電極上の絶縁層(膜)と配向膜の膜厚の和が非常に薄い時には、絶縁膜に生じた細孔等を通じて液晶層中のイオン、電荷の消去がなされるため、黒斑点が発生することがほぼなくなることに着目している。

- 10 本発明群の第1の発明においては、電極または信号配線からなる金属層と液晶層との間に絶縁層及び配向膜、その他これらを兼ねることもある保護膜等の第3の層が存在するが、これら絶縁層と配向膜の厚みが合わせて1000Å以下、好ましくは500Åより少ない領域が存在することを特徴としているものである。ここに、電極とは純粋な横電界方式では画素電極やこれに付属(付随)しての蓄積容量電極、
15 共通電極のことである。HS等広義の横電界方式ならば、これに更に他の電極等を含める。また、画素電極、共通電極共に液晶層との間の絶縁層、配向膜等の合計の膜厚が500Åより少なければ、特に存在しない部分があればなお良い。なお、配向膜が存在しない場合、一部存在しない領域が在る場合、当該部には何か他の配向手段が講じられて
20 いるのが好ましいであろう。勿論、ブラックマトリクス下部(反使用者側)等であれば、これらの対策は不必要である。また、将来の技術発達の下で、配向膜の不必要な液晶材料が使用されても良い。

以下、各発明においては、

- 25 同じく、例えばブラックマトリクス等の遮光膜が導電性であること
を特徴としている。また、導電性遮光膜は対向基板に形成されることを特徴としている。また、配向膜や保護膜は導電性物質膜であること

を特徴としている。

これらにより、液晶中をイオン、電界が移動して、液晶分子や液晶層中のイオン、電荷を消去し、絶縁欠陥部等での液晶分子の配列の不揃い等が消去され、ひいては良好な表示がなされる。

5 以上の他、スイッチング素子、本発明の効果の発揮に無関係となる部分の電極、配線上にはショート防止のための絶縁膜やその他絶縁を兼ねての保護膜等が形成されているのは勿論である。勿論、他の発明群の作用、効果を発揮するため、一部保護膜等が形成されていないこともありうる。また、導電性遮光膜に所定の電位を与える構成が付設
10 されたりしておれば、なお良い。

同じく、横電界方式の液晶素子の製造方法において、配向膜を塗布する工程と、表示品質に無関係のブラックマトリクス直下部やその中央部等の配向膜を除去する工程とを含むことを特徴とする。

同じく、配向膜を塗布する工程の後に、配向膜の一部を除去するエ
15 ッチング工程、更にその後に残った配向膜に、紫外線照射等で配向処理をする工程が存在することを特徴とする。

同じく、配向膜のラビングを行い、電極若しくは配線上の配向膜の
20 少くも一部を剥離する（単に、全体をはぎ取るだけでなく、上部（液晶層側）のみ取る、細孔や亀裂を形成することを含む）ことを特徴とする。この時のラビングの条件として、押し込み量を0.5mm以上にすると、配向膜の剥離が生じやすくより良い結果が得られる。

第2の発明群においては、中和電極でイオンを消すことに着目している。

本発明群の1の発明においては、ソース信号配線、ゲート信号配線、
25 画素電極、共通電極、共通配線等の多くの場合原則として金属からなる導電層以外に、液晶層に直接あるいは配向層（膜）を介して間接的

に接する導電性物質からなる中和電極が、そして勿論原則として表示に無関係となる位置に設けられている。

さて、黒点むらの発生原因は、生成したイオンは中和されることがないため欠陥部近傍の液晶中のイオン濃度が高くなり、このため電圧保持率が低下することにある。しかし、液晶層へ直接露出しているか、あるいは導電性物質からなる配向膜を介して液晶層と電氣的に通じている中和電極があると、中和電極で再び電子を電極に与えることが出来るため、絶縁層欠陥部近傍のイオン濃度はあまり増大せず、電圧保持率の低下を最小限に抑え、ひいては黒点むらの発生を抑制できる。

10 以下、各発明においては、中和電極を液晶層あるいは配向層に接するように形成し、この中和電極にゲート信号配線に対し正の電位を供給する手段を設けている。

これにより、より効果的に生成したアニオンを中和し、黒点むらの発生を抑制する。

15 また他の発明においては、ゲート信号配線に沿って中和電極を液晶層あるいは配向層に接するように形成し、この中和電極にゲート信号配線に対し正の電位を供給する手段を設けている。

これにより、アニオン発生源から画素へ拡散していく前に、より効率的に生成されたアニオンを中和できる。

20 また、ゲート信号配線を形成した基板と対向する基板上に、ゲート信号配線に沿って中和電極を液晶層あるいは配向層に接するように形成し、この中和電極にゲート信号配線に対し正の電位を供給する手段を設けている。

これにより、ゲート信号線との間隔が広がりゲート信号配線との間に形成される寄生容量を低減出来、ゲート信号の遅延に対する影響を無くする。

25

また他の発明においては、ゲート信号配線を形成した基板と対向する基板上に、中和電極を液晶層あるいは配向層に接するように形成し、この中和電極にゲート信号配線に対し正の電位を供給する手段を設けるとともに、この中和電極がブラックマトリクス等の遮光膜あるいはその一部となるようにしている。

これにより、中和電極がブラックマトリクス等と兼用され、該電極形成工数を低減できる。

以上の他、導電性の遮光膜として、適宜Cr、Ti、黒鉛、導電性樹脂としたり、酸化モリブデンとモリブデンの2層構造としたりして10 いる。その他、中和電極の形成をソース線若しくはゲート線方向として、これらの線と同時に形成する等のことをも採用したりして、必要な工程の削減を図っているのは勿論である。

また、中和電極に所定の電位を与える構造としたりしているのも勿論である。

15 第3の発明群では、開口部（露出部、絶縁膜のない部分）と対向基板の中和電極とを有することを特徴としている。

本発明群の1の発明では、画素電極、共通電極、信号配線電極の少なくともいずれかの電極の上の少なくとも一部分に絶縁膜の形成されていない箇所、領域があり、この部分において電極が配向膜のみを介して、あるいは直接液晶に接し、更に画素電極及び前記共通電極が形成されていない基板側に中和電極が形成されており、この中和電極の上にも絶縁膜の形成されていない箇所があるか、全く形成されていないことを特徴としている。

上記構成により、ゲート以外の電位が露出している部分のために、25 ゲート電位部に偏在したイオンがゲート以外の電位が露出している部分で電子を電極に与え（あるいは与えられ）、非イオン化され、消去

されるためイオンの偏在が起こらず、黒点状ムラの発生が抑えられる。

特に両基板（アレイ側基板と対向側基板）に絶縁膜の形成されていない箇所があるため、イオンが両基板側で非イオン化されるため、黒点状のムラの発生の抑止硬化が第である。

- 5 また、液晶パネルに封入される液晶の比抵抗が $10^{13} \Omega \cdot \text{cm}$ よりも小さくしている。

これにより、表示の焼き付き現象（ある一定パターンを長時間表示した後、他のパターンに切り替えても前のパターンが残る現象）を抑えることができる。

- 10 また、中和電極に走査配線の最小の電圧レベルに対し正の電位が印加されることを特徴としている。

これにより、効果的に生成したイオンを非イオン化することができる。

また、中和電極が共通電極と（略）同電位に設定されている。

- 15 これにより、より効果的に生成したイオンを非イオン化することができ、黒点状ムラの発生を抑えることができる。また、中和電極を共通電極と同じ電位にする場合には中和電極として特別の電位供給手段を設ける必要がないので、構造・工程の簡略化を図ることができる。

- 20 また、中和電極がブラックマトリクスやカラーフィルタと兼用であることを特徴としている。

また、配向膜の材質にも工夫を凝らしている。

また、液晶パネルに TFT 等のスイッチング素子が形成されており、このスイッチング素子の上部には絶縁膜が形成される等としている。

- 25 これにより、トランジスタ、バリスター等のスイッチング素子劣化を防ぐことができる。

第4の発明群では、絶縁膜に開口部を有し、これにより液晶を中和

することに注目している。

本発明群の1の発明においては、画素電極及び対向電極が同一層になく、例えば下位の（反液晶側となる）対向電極の上には絶縁膜が形成されており、上位の画素電極の上には全く絶縁膜が形成されていないことを特徴としている。

上記構成により、ゲート以外の電位が露出しているため、ゲート電位部に偏在したイオンが導電層の露出部分に拡散され、非イオン化されるため、表示ムラの発生しない良好な表示品位の液晶パネルを得ることができる。

10 しかも対向電極の上には絶縁膜があるので、ショート欠陥が増大することもない。

また、画素電極及び対向電極が同一層になく、画素電極の上には絶縁膜が形成されており、対向電極の上には全く絶縁膜が形成されていないことを特徴としている。

15 上記構成により、同様にショート欠陥が増大することなく良好な表示品位の液晶パネルを得ることができる。

また、他の発明群と同じく液晶パネルに封入される液晶の比抵抗が $10^{13} \Omega \cdot \text{cm}$ よりも小さいことを特徴としている。

これにより、表示の焼き付き現象を抑えることができる。

20 また、スイッチング素子、信号配線、走査配線の上部（液晶層側）に絶縁膜を形成することを特徴としている。

これにより、トランジスタ等の劣化等を防ぐことができ、また各部の保護がなされる。

また、ラビング方向に沿った部分に絶縁膜が存在していることを特徴

25 徴としている。

上記構成により、絶縁膜がラビングの際に邪魔にならないので、良

好な表示品位の液晶パネルとなる。

第5の発明群では、遮光層（膜）やブラックマトリクス of 少くも液晶層側の面の少くも一部に凹凸の構造を有するようにしていることに特徴がある。

- 5 本発明群の1の発明では、一方の基板に画素電極、共通電極、信号配線、走査配線等が形成されており、画素電極等が形成されていない基板側にブラックマトリクスや半導体の誤作動防止のためと保護のため等の遮光層等の遮光膜が形成され、この遮光膜の少くも液晶層側の表面が凹凸構造を有していることを特徴としている。
- 10 上記構成により、ゲート電位部に偏在したイオンがゲート以外の電位が露出している部分（例えばブラックマトリクス部）で電子を与え、非イオン化されるためにイオンの偏在が起こらず、黒点状ムラの発生を抑えることができる。特にブラックマトリクス等の液晶側表面に凹凸が形成されているので、開口率はそのままでイオンを回収する表面積が大きく、十分な効果を得ることができる。
- 15

また、各発明では、画素電極が形成されている基板側に、あるいは形成されていない対向基板側にブラックマトリクス等の遮光膜が形成され、その表面が凹凸構造を有していることを特徴としている。

上記構成により、先の発明と似た作用がなされ、効果が発揮される。

- 20 更に、ブラックマトリクス等が画素電極が形成されている基板側（アレイ側）に形成されているときには、貼り合わせのマージンが不要になり、開口率を大きくとることができる。

- また、画素電極等が形成されていない基板側若しくは画素電極等が形成されている基板側に中和電極が形成され、この電極の表面が凹凸構造を有していることを特徴としている。
- 25

上記構成により、イオンの偏在が起こらず、黒点状ムラの発生を抑

えることができる。特に、中和電極の表面に凹凸が形成されているので、イオンを回収する表面積が大きく、十分な効果を得ることができる。

また、対向電極の表面が凹凸構造を有していることを特徴としている。
5

上構成により、斜め電界方式を採用した液晶モード（念のため記載するならば、横電界方式に含まれる。）においてもゲート電位部に偏在したイオンがゲート以外の電位が露出している部分で電子を電極に与え、非イオン化されるためにイオンの偏在が起こらず、黒点状ムラの発生を抑えることができる。特に、対向電極の表面に凹凸が形成されているので、イオンを回収する表面積が大きく、十分な効果を得ることができる。
10

また、ブラックマトリクス等の遮光膜が導電性であることを特徴としている。

上記構成により、ゲート電位部に偏在したイオンがゲート以外の電位が露出している部分で電子を電極に与え、非イオン化されるため、黒点状ムラの発生を抑えることができる。
15

また、液晶素子のパネルに封入される液晶の比抵抗が $10^{13} \Omega \cdot \text{cm}$ よりも小さいことを特徴としている。

これにより、他の発明と同じく表示の焼き付き現象を抑えることができる。
20

また、画像表示装置に使用されるカラーフィルター側部のブラックマトリクス等の遮光膜の少くも液晶側の表面が凹凸構造を、好ましくは多数の孔、凹凸のある構造を有していることを特徴としている。

上記構成により、イオンの偏在が起こらず、黒点状ムラの発生を抑えることができる。
25

また、凹凸構造の凹部と凸部の差が $0.1\mu\text{m}$ 以上好ましくは $0.3\mu\text{m}$ 以上であることを特徴としている。

上記構成により、イオンを回収する表面積を大きくとることができるので十分な効果を得ることができる。

5 また、遮光膜あるいは中和電極あるいは両方が配向膜を介してあるいは直接液晶と接していることを特徴としている。これにより、配向膜の細孔からの、あるいは直接のイオンの回収がなされる。

上記構成により、確実にイオンを回収することができる。

10 第6の発明群においては、導電性遮光膜（層）を有することを基本としている。

本発明群の第1の発明では、一对の基板間に液晶を挟持し、前記基板の一方の基板に画素電極及び共通電極が形成されており、画素電極及び共通電極間に電圧を印加して液晶を駆動し、他方の基板に導電性の遮光膜を有する液晶素子において、該遮光膜が液晶層と接している
15 か、特に導電性の配向膜を介して液晶層と接していることを特徴としている。

また、信号線方向若しくは走査線方向にのびるストライプ状に、あるいは信号線方向及び走査線方向にのびる格子状に遮光層が液晶と接している領域が存在することを特徴とするものである。

20 このため、遮光膜がブラックマトリクス等と兼用可能となり、開口率も向上する。

これらの液晶素子に用いる導電性の遮光膜としては、遮光性と導電性のある材料であれば何でも良いが、Cr、Ti、導電性樹脂等を用いると遮光性も高くより良い。また、有機導電膜ならば、工程が楽に
25 なる。

また、遮光膜若しくは遮光膜から伸びる遮光膜とほぼ同電位の配線

と共通電極若しくは共通電極から伸びる共通電極とほぼ同電位の配線が一对の基板間で少なくとも1つ以上の導電性物質により電氣的に接続されていることを特徴としている。

5 また、遮光膜若しくは遮光膜から伸びる配線と共通電極若しくは共通電極から伸びる共通電極とほぼ同電位の配線が一对の基板間で少なくとも1つ以上の導電性物質により電氣的に接続されていることを特徴としている。

10 また、遮光膜及びオーバーコート層を有する液晶素子において、オーバーコート層に感光性材料を用い、導電性の遮光膜上オーバーコート層をフォトリソグラフィによって剥がし、遮光膜上でオーバーコート層が存在しない領域をつくることを特徴としている。

他の発明では、導電性の遮光膜に共通電極とほぼ同電位の電位を与えることを特徴としている。

15 第7の発明群では、開口と対向基板に遮光層（膜）を有していることに特徴がある。

本発明群の1の発明は、一对の基板間に液晶を挟持しており、基板の少なくとも一方の基板に画素電極、共通電極、信号配線電極、走査配線電極が形成されており、画素電極及び共通電極の間に電圧を印加して液晶分子の配列を変化させる等の横電界方式の液晶素子において、
20 イオンを回収するための導電性物質等が両基板に形成されていることを特徴としている。

上記構成により、ゲート電位部に偏在したイオンがゲート以外の電位が露出している部分で電子を電極に与え、非イオン化されるため、イオンの偏在が起こらず、黒点状ムラの発生を抑えることができる。

25 また、画素電極、共通電極、信号配線電極の少なくともいずれかの電極の上の少なくとも一部分に絶縁膜の形成されていない箇所があり、

絶縁膜の形成されていない部分により電極が配向膜のみを介して、あるいは直接液晶に接しており、画素電極及び共通電極が形成されていない基板側に導電性のブラックマトリクスが形成されており、表示領域内の導電性のブラックマトリクスの一部あるいは全部が配向膜あるいは液晶と直接接していることを特徴としている。

かかる構成にすることにより、ゲート以外の電位が露出しているため、ゲート電位部に偏在したイオンがゲート以外の電位が露出している部分で電子を電極に与え、非イオン化されるためにイオンの偏在が起こらなくなる。

10 特に両基板（アレイ側基板と対向側基板）に絶縁膜の形成されていない箇所があるためにイオンが両基板側で非イオン化されるために黒点状ムラの発生を抑えることができる。

また、画素電極の上には絶縁膜が全く形成されておらず、絶縁膜の形成されていない部分では画素電極が配向膜のみを介して、あるいは直接液晶に接している。また、画素電極及び共通電極が形成されていない基板側に導電性のブラックマトリクスが形成されており、表示領域内の導電性のブラックマトリクスの一部あるいは全部が配向膜あるいは液晶と直接接している。

上記構成にすることにより、黒点状のムラの発生が抑止される。

20 また、共通電極の上には絶縁膜が全く形成されておらず、絶縁膜の形成されていない部分により共通電極が配向膜のみを介して、あるいは直接液晶に接している。そして、画素電極及び共通電極が形成されていない基板側に導電性のブラックマトリクスが形成されており、その一部あるいは全部が配向膜あるいは液晶と直接接していることを特徴としている。

上記構成により、共通電極の上には絶縁膜が全く形成されておらず

また対向基板側に導電性のブラックマトリクスが形成されているので、イオンの消滅により黒点状のムラの発生を抑えることができる。

また、画素電極及び共通電極の上には絶縁膜が全く形成されておらず、その部分にて画素電極及び共通電極が配向膜のみを介して、あるいは直接液晶に接している。そして、画素電極等が形成されていない基板側に導電性のブラックマトリクスが形成されており、そのブラックマトリクスの一部あるいは全部が配向膜あるいは液晶と直接接していることを特徴としている。

上記構成により、黒点状のムラの発生を抑えることができる。（ただし、画素電極の上と共通電極の上には絶縁膜がないので電極間のショートは発生しやすくなる。）

また他の発明群と同じく、液晶素子に封入される液晶の比抵抗が $10^{13} \Omega \cdot \text{cm}$ よりも小さくして表示の焼き付き現象（ある一定パターンを長時間表示した後、他のパターンに切り替えても前のパターンが残る現象）を抑えている。

また、液晶素子にはその駆動のためスイッチング素子が形成されており、その上部には絶縁膜が形成されている。これにより半導体等の劣化を防ぐことができる。

また、ブラックマトリクスに走査配線の最小の電圧レベルに対し正の電位が印加されることを特徴としている。

上記構成により、より効果的に生成したイオンを非イオン化することができ、黒点状ムラの発生を抑えることができる。

また、ブラックマトリクスが共通電極と略同電位に設定されていることを特徴としている。このようにすることにより、より効果的に生成したイオンを非イオン化することができ、黒点状ムラの発生を抑えることができる。またブラックマトリクスを共通電極と同じ電位にす

る場合には、ブラックマトリクス用として特別の電位供給手段を設ける必要がないので、構造・工程の簡略化を図ることができる。

また、導電性のブラックマトリクスが導電性の樹脂により形成されている。このため、カラーフィルターを形成するのと同じ工程で作製
5 できる。またCrなどの金属を形成するのとは異なり高温形成の必要がないので、カラーフィルターを形成した後にブラックマトリクスを形成することができる、ひいてはブラックマトリクスを配向膜あるいは液晶と接する箇所に形成することができる。

また、液晶素子の基板間隔を一定に保持するスペーサーとして特定
10 の箇所に柱を形成することを特徴としている。このように規制することにより上下基板がショートしにくい箇所を選んでスペーサーを設置することができるので、両基板に導電性物質が形成されていてもショートしにくくなる。

第8の発明群では、配向膜としてあるいはその少くも一部表面、中和電極の少くも一部表面等に発泡剤による細胞構造（非常に小さい径
15 の空間を有するスポンジ構造）を有し、これにより発生したイオンの吸収を図っている。

図面の簡単な説明

20 図1は、各方式の横電界方式の液晶素子の構成を示す図である。

図2は、従来技術における液晶パネル内への液晶の充填そしてその後の封入口の樹脂の硬化の様子を示す図である。

図3は、封口樹脂中の気泡で、樹脂硬化用紫外線が屈折する様子
を示す図である。

25 図4は、従来技術のIPSモードの液晶表示装置の平面を示す図である。

図 5 は、上記液晶表示装置の A - A、B - B 断面を示す図である。

図 6 は、上記液晶表示装置の C - C、D - D、E - E 断面を示す図である。

図 7 は、液晶表示装置の異物付着の様子を示す平面図である。

5 図 8 は、液晶表示装置の異物付着の様子を示す断面図である。

図 9 は、黒点むらの発生メカニズムを示す模式的に示した図である。

図 10 は、黒点むらの発生の拡大のメカニズムを示す模式的に示した図である。

10 図 11 は、本発明の第 1 の大発明群の各実施の形態を示す図である。

図 12 は、本発明の第 2 - 1 - 1 の実施の形態の液晶素子の断面図である。

15 図 13 は、本発明の第 2 - 1 - 2 の実施の形態の液晶素子の断面図である。

図 14 は、本発明の第 2 - 1 - 3 の実施の形態の液晶素子の断面図である。

図 15 は、本発明の第 2 - 1 - 4 の実施の形態の液晶素子の断面図である。

20 図 16 は、本発明の第 2 - 1 - 5 の実施の形態の液晶素子の製造方法の要部を示す図である。

図 17 は、本発明の第 2 - 2 - 1 の実施の形態の液晶素子のアレイ基板の平面図である。

図 18 は、上記液晶素子の A - A 断面の図である。

25 図 19 は、上記実施の形態の液晶素子の変形例の平面図である。

図 20 は、上記実施の形態の液晶素子の変形例の断面図である。

図 2 1 は、本発明の第 2 - 2 - 3 の実施の形態の液晶表示の平面図と断面図である。

図 2 2 は、上記実施の形態の液晶表示パネルの変形例の平面図である。

5 図 2 3 は、本発明の第 2 - 3 - 1 の実施の形態の液晶パネルのレイ側の基板の平面図である。

図 2 4 は、上記液晶パネルの断面図である。

図 2 5 は、上記実施の形態の液晶パネルの対向基板の平面図である。

10 図 2 6 は、上記対向基板の断面図である。

図 2 7 は、上記実施の形態と比較例のパネルの構造の相違を概念的に示した図である。

図 2 8 は、本発明の第 2 - 3 - 2 の実施の形態の液晶パネルの構造を示す図である。

15 図 2 9 は、先の 2 つの実施の形態の液晶パネルの変形例を示す図である。

図 3 0 は、同じく先の 2 つの実施の形態の変形例の図である。

図 3 1 は、同じく先の 2 つの実施の形態の変形例の図である。

図 3 2 は、同じく先の 2 つの実施の形態の変形例の図である。

20 図 3 3 は、同じく先の 2 つの実施の形態の変形例の図である。

図 3 4 は、同じく先の 2 つの実施の形態の変形例の図である。

図 3 5 は、本発明の第 2 - 3 - 3 の実施の形態の液晶パネルの構造を示す図である。

25 図 3 6 は、本発明の第 2 - 3 - 4 の実施の形態の液晶パネルの変形例を示す図である。

図 3 7 は、本発明の第 2 - 3 - 5 の実施の形態の液晶パネルの構

造を示す図である。

図 3 8 は、本発明の第 2 - 3 - 6 の実施の形態の液晶パネルの変形例を示す図である。

図 3 9 は、本発明の第 2 - 3 - 7 の実施の形態の液晶パネルの構造を示す図である。

図 4 0 は、本発明の第 2 - 3 - 8 の実施の形態の液晶パネルの変形例の構造を示す図である。

図 4 1 は、本発明の第 2 - 4 - 1 の実施の形態の液晶パネルの構造を示す図である。

10 図 4 2 は、上記実施の形態の比較例としての液晶パネルの構造図である。

図 4 3 は、本発明の第 2 - 4 - 2 の実施の形態の液晶パネルの構造を示す図である。

図 4 4 は、本発明の第 2 - 4 - 3 と第 2 - 4 - 4 の実施の形態の
15 液晶パネルの構造を示す図である。

図 4 5 は、本発明の第 2 - 4 - 5 の実施の形態の液晶パネルの構造を示す図である。

図 4 6 は、本発明の第 2 - 4 - 6 と第 2 - 4 - 7 の実施の形態の液晶パネルの構造を示す図である。

20 図 4 7 は、本発明の第 2 - 4 - 8 の実施の形態の液晶パネルの構造を示す図である。

図 4 8 は、本発明の第 2 - 5 - 1 の実施の形態の液晶素子の対向基板の構造を示す図である。

図 4 9 は、上記実施の形態のブラックマトリクスの凹凸部の構造
25 を示す図である。

図 5 0 は、本発明の第 2 - 5 - 2 の実施の形態の液晶素子のアレ

イ基板側の構造を示す図である。

図 5 1 は、上記実施の形態の変形例を示した図である。

図 5 2 は、上記実施の形態の変形例を示した図である。

図 5 3 は、本発明の第 2 - 5 - 3 の実施の形態の液晶素子の対向
5 基板側の構造を示す図である。

図 5 4 は、従来の IPS と HS モードの構造を示す図である。

図 5 5 は、本発明の第 2 - 5 - 5 の実施の形態の液晶素子の構造
を示す図である。

図 5 6 は、上記実施の形態の変形例の図である。

10 図 5 7 は、上記実施の形態の変形例の図である。

図 5 8 は、上記実施の形態の変形例の図である。

図 5 9 は、本発明の第 2 - 5 - 7 の実施の形態の液晶素子の構造
を示す図である。

図 6 0 は、本発明の第 2 - 6 - 1 の実施の形態の液晶素子を示す
15 図である。

図 6 1 は、上記実施の形態の液晶素子のカラーフィルター側基板
の概略図である。

図 6 2 は、本発明の第 2 - 6 - 4 の実施の形態の液晶素子の断面
図である。

20 図 6 3 は、本発明の第 2 - 7 - 1 の実施の形態の液晶素子のアレ
イ側基板の構造を示す図である。

図 6 4 は、上記実施の形態の対向基板の構造図である。

図 6 5 は、上記実施の形態と比較例の相違を示す図である。

図 6 6 は、本発明の第 2 - 7 - 2 の実施の形態の液晶素子の対向
25 基板の構造を示す図である。

図 6 7 は、第 2 - 7 - 1 と第 2 - 7 - 2 の実施の形態の変形例の

図である。

図 6 8 は、同じく、他の変形例の図である。

図 6 9 は、同じく、他の変形例の図である。

図 7 0 は、同じく、他の変形例の図である。

5 図 7 1 は、本発明の第 2 - 7 - 3 の実施の形態の液晶素子のアレイ基板側の構造を示す図である。

図 7 2 は、上記実施の形態のアレイ側基板の変形例の図である。

図 7 3 は、本発明の第 2 - 7 - 4 の実施の形態の液晶素子のアレイ側基板の構造を示す図である。

10 図 7 4 は、上記実施の形態のアレイ側基板の変形例を示した図である。

図 7 5 は、本発明の第 2 - 7 - 5 の実施の形態の液晶素子のアレイ基板側の構造を示す図である。

図 7 6 は、上記実施の形態のアレイ側基板の変形例の図である。

15 図 7 7 は、本発明の第 2 - 7 - 6 の実施の形態の液晶素子の主としてアレイ基板側を示す図である。

図 7 8 は、本発明の第 2 - 8 - 1 の実施の形態の要部の構成を示す図である。

20 図 7 9 は、本発明を採用した反射型の液晶表示装置の要部の構成を示す図である。

図 8 0 は、本発明を採用した液晶光論理素子の構成図である。

図 8 1 は、本発明を採用した L E ディスプレイの構成図である。

図 8 2 は、本発明の第 1 - 2 - 1 の実施の形態の変形例を示す図である。

25 図 8 3 は、本発明の第 2 の大発明群の各実施の形態の変形例を示す図である。

(符 号 の 説 明)

- | | | |
|----|---------|---------------------------|
| | 1 | アレイ基板 |
| | 2 | 対向基板 |
| | 2 6 | 対向基板側電極 |
| 5 | 2 0 1 | シール樹脂の帯 |
| | 2 0 2 | 封口用樹脂 |
| | 2 0 2 1 | 嫌気性の封口用樹脂 |
| | 2 1 1 | 封口部の治具 |
| | 2 1 2 | 封口部の栓 |
| 10 | 2 1 3 | 封口部の雄ねじ |
| | 2 1 4 | 封口部の雌ねじ |
| | 3 | 液晶（層） |
| | 4 | 画素電極 |
| | 4 1 | 蓄積容量電極（部） |
| 15 | 5 | 共通電極（対向電極） |
| | 5 1 | 共通電極 |
| | 6 | 信号配線（ソース線） |
| | 7 | 走査配線（ゲート線） |
| | 8 | 絶縁層（膜） |
| 20 | 8 0 | 絶縁膜のない部分 |
| | 8 1 | 絶縁層（膜） |
| | 8 2 | 絶縁膜のない部分 |
| | 9 | 配向膜 |
| | 9 1 | 発泡剤を使用した、あるいは含んだイオン回収兼配向用 |
| 25 | の樹脂 | |
| | 1 0 | 保護膜（兼絶縁膜等） |

- 1 0 0 保護膜（兼絶縁膜等）
- 1 1 カラーフィルター
- 1 2 ブラックマトリクス、遮光層
- 1 2 3 導電性樹脂膜
- 5 1 3 透明導電膜
- 1 4 コンタクトホール
- 1 5 異物
- 1 5 1 封口樹脂中の空気
- 1 6 半導体層
- 10 1 7 薄膜トランジスタ
- 1 7 1 ダイオード
- 1 8 ドレイン
- 1 9 フォトレジスト
- 1 9 1 残ったフォトレジスト
- 15 2 0 露光マスク
- 2 1 ラビング用ローラ
- 3 0 中和電極
- 6 0 基板間隔保持用突起物
- 7 0 ブラシ

20

発 明 の 実 施 の 形 態

以下、本発明をその実施の形態に基づいて説明する。

〔第 1 の大発明群〕

本大発明群は 2 の発明群からなり、液晶注入口を封止する樹脂に関
25 する。

（第 1 の大発明群）

本発明群は、液晶注入口を封止するのに用いる紫外線硬化性等の樹脂の内部に気泡等が入らないようにすることに関する。

(第1-1-1の実施の形態)

(ここに1-1-1の実施の形態とは、第1の大発明群の第1の発明群の第1の実施の形態を指すものとする。)

本実施の形態は、液晶の注入口を封止するための紫外線硬化樹脂として、粘度が低いものを選択するものである。粘度が低ければ注入口に樹脂を塗布するときに気泡を抱え込んでしまう可能性が少なくなる。特に20 Pa・s以下の粘度であればほとんど気泡を抱え込むことはなくなるためより良い。

第2に注入口に紫外線硬化樹脂を塗布するときに基板側を赤外線(I.R.)等で暖めておく、または塗布してから樹脂のみ、または基板全体を暖める等の加温を行い実質的に樹脂の粘度を低下させてやると効果がある。またこの加温により樹脂の温度が20 Pa・s以下の粘度になればほとんど気泡を抱え込むことはなくなるためより良い。

第3にあらかじめ紫外線硬化樹脂を適当な温度例えば70℃～80℃に暖めておき粘度を低下させて塗布しても良い。加熱温度はあまり高すぎると樹脂の硬化が始まるため80℃～90℃以下、樹脂によるが、作業の面からは好ましくは50℃、より好ましくは40℃が良い。また加熱したときの樹脂の粘度は20 Pa・s以下になることが望ましい。

第4に従来の方法で紫外線硬化樹脂を塗布し、気泡を抱え込んだあとに、基板全体、もしくは樹脂部分に加速度(g)を与え重力を発生させる。この方法としては例えば洗濯機の脱水機のように回転する装置を利用する方法があるが、この方法でなくても良い。このようにすることによって気泡や異物その他水分は加速度方向と反対の方向に移

動し、消滅することになる。

なおこの場合には、上下の基板間隔を保持するのはガラス球や繊維でなく、フォットソングラフィを使用して一方の基板上、T F T部を極力避け、ブラックマトリクス部直下（ユーザから見て背面側）に固

5 定して形成した間隔保持用支持極とするのが好ましい。

第5に従来の方法で紫外線硬化樹脂を塗布し、気泡を抱え込んだあとに基板全体、もしくは樹脂部分に振動を与え気泡を除去してやるとよい。またこの時の振動を加える方法として、超音波（U．W）やメガソニック（M．W）を用いると効率的でなおよい。

10 なおこの際、基板をあらかじめ温めておくと、樹脂の粘度が低下するため、なお好ましい。

第6に従来の方法で紫外線硬化樹脂を塗布し、気泡を抱え込んだあとに、剛体や繊維、ブラシ70のような物体で気泡部分を接触させ気泡を取り除いても良い。

15 第7に従来の方法で紫外線硬化樹脂を塗布し、気泡を抱え込んだ後に、基板全体、もしくは樹脂部分を真空ポンプ等で真空（V）引きし、大気圧よりも低い環境、例えば0．1気圧に晒す。そうすると、気泡の径が大きくなり、最後には破裂して気泡が消滅する。

20 第8に従来の方法で紫外線硬化樹脂を塗布し、気泡を抱え込んだあとに、布等で一度樹脂を軽く拭き取る。そうすると、注入口付近のガラス表面は空気が存在しないまま薄く樹脂が残り、また2枚のガラス基板の隙間には樹脂が埋め込まれてしまう。そしてその後さらに紫外線硬化樹脂を塗布すると、樹脂の塗れ性が非常に良くなり、気泡が残らなくなる。またこの工程は繰り返し行っても良い。

25 図11に示すように、このような種々の方法で注入口に紫外線硬化樹脂202を塗布した後紫外線を照射すると、紫外線硬化樹脂内には

全く気泡が混入していないため、照射された紫外線は紫外線硬化樹脂中を大きな屈折を受けることなくほぼ均等に照射され（ただし減衰はある）樹脂全体が完全に硬化する。

このようにして作製された液晶素子は、初期特性としては、電圧保持率 99 % を示し、しかも高温試験（70℃）では 10000 時間安定、また連続駆動試験においても 10000 時間特性に変化がないことが確認された。

（第 2 の発明群）

（第 1 - 2 - 1 の実施の形態）

10 本実施の形態は、図 2 に示す液晶封入後の封止用樹脂に嫌気性樹脂を使用し、その硬化に紫外線照射に代えて、薄い板による押圧をなすものである。

なお、本実施の形態の変形例については、後で図を参照しつつ説明する。

15 { 第 2 の大発明群 }

本第 2 の大発明群は、横電界方式の液晶素子における黒点状ムラの発生の防止に関するものである。

（第 1 の発明群）

20 本発明は、黒点状ムラの発生防止のため、基板上に形成された電極等の上部（液晶側）の絶縁膜、絶縁膜を兼ねた保護膜等の厚さを薄くしたものである。

以下、本発明群の各発明を説明する。

（第 2 - 1 - 1 の実施の形態）

25 （第 2 - 1 - 1 とは、第 2 の大発明群の第 1 の発明群の第 1 の実施の形態という意味である。）

以下、図を参照しつつ、本実施の形態について説明する。

本実施の形態の液晶素子を、図 1 2 に示す。本図に示すようにこの液晶素子は、アレイ側基板 1 の全面に形成された絶縁膜 8 1 の表面に略平行に電界を発生させる画素電極 4 と共通電極 5 を有し、画素電極 4、共通電極 5 又は信号配線 6 等からなる金属層（厳密には、ITO 等の非金属からなる電極のこともある。また、金属線、金属電極間には基板面から同一の高さで絶縁物質、配向膜の下部が存在しているのが原則である。）と液晶層 3 との間には上述の金属層、液晶層と異なる第 3 の層として絶縁層 8 及び配向膜 9（厳密には、図 1 2 では絶縁層の上部と配向膜）が存在し、これら絶縁層 8 と配向膜 9 の厚みが合わせて 500 Å より少ない領域が存在する。更に詳しくは、画素電極 4、共通電極 5、信号配線 6 等の電極の上、下には製造の都合もあり、他の通常絶縁膜 8 1 や保護膜（図示せず）等が存在する。そして、これらの液晶層と金属層との中間に在ることとなる第 3 の層としての絶縁層、配向膜等の総厚が非常に薄く、1000 Å 以下、好ましくは 500 Å よりも薄ければよい。なお、図では 400 Å である。

これは、黒斑点欠陥の原因がイオン種成分の局所的な集中による電圧保持率の低下によるため、集中したイオン種を電極を介して回収することにより、黒斑点欠陥を無くすものである。つまり電極上の絶縁層や、配向膜の膜厚を出来る限り薄くして、それらを通してあるいはそれらの細孔から集中したイオン種を電極により取り込みやすくしているのである。なお、この 500 Å より少ない薄い領域は電極上全面に形成される必要性はなく、部分的に 500 Å より少ないところが存在すれば良い。しかし、もちろんその領域が多いほど、あるいは広いほど効果はある。なおまた配向膜、そして特に絶縁層はいずれも何層になっても良い。

以上の他、図が煩雑となること、自明なことのため、わざわざは図

示していないが、アレイ側基板には、TFTなどのスイッチング素子がマトリックス状に設けられており、信号配線は、スイッチング素子に映像信号を供給する映像信号配線と、スイッチング素子を制御する走査信号配線を含むものである。そしてTFTは、映像信号配線から
5 の映像信号電圧を走査信号に同期して画素電極に伝達する。また、TFTの遮断期間に画素電極の電圧を保持するために蓄積容量を設けている。更に、蓄積容量の一方の電極は画素電極に接続されている。そして、上述のイオン種を回収させる電極としては、蓄積容量電極も含んで基板上に形成されたいずれの電極でも良い。またイオン種を回収
10 させる電極として、電極や、信号配線としているが、とくに画素電極4または共通電極5であれば、総電極面積も大きく、また部分的に絶縁層と配向膜の総膜厚が500 Åより少ない領域を形成しやすくなり良い。更に、画素電極、共通電極ともに電極上の、絶縁層と配向膜の総厚を500 Åより少なくするとイオン種を回収する電極面積が増加
15 し、より一層良い。

(第2-1-2の実施の形態)

本実施の形態の液晶素子は、一部の配向膜を欠く場合である。

図13に示すよう、本液晶素子では画素電極4、共通電極5または信号配線6と液晶層3との間には絶縁層8のみが存在し、しかもその
20 絶縁層の厚みが500 Åより少ない領域が存在する。すなわち、画素電極4、共通電極5、信号配線6等の電極の上には、絶縁膜や更にその上には、液晶の配向を制御するための、配向膜が存在するが、本図では画素電極4上等この配向膜の存在しない領域が部分的に存在し、しかもその部分の絶縁層あるいは絶縁膜と通常絶縁性である保護層の
25 厚さが500 Åより少ないものである。これは、電極上の絶縁層をより薄くし、配向膜を部分的になくす領域を設けることで、先の実施の

形態よりも一層集中したイオン種を電極により取り込みやすくしているのである。

なお、先の実施の形態と同じくこの500 Åより少ない薄い領域は電極上全面である必要性はなく、また、その領域が多いほど効果はある。更に、絶縁層は何層になっても良く、電極は、蓄積容量電極、画素電極、共通電極、信号配線を問わない。

また、本図では図示していないが、ブラックマトリクス下部等開口率、表示特性に無関係な領域に設けるのが好ましいのは勿論である。

なお、この配向膜のない部分は、対向基板のブラックマトリクス（図示せず）直下としたり、別途紫外線の照射で電極に配向性を与えたり、液晶の配向を乱さない様、極く細い帯状や点状（ピンホール状）とするのが好ましい。このため、ブラックマトリクスの位置と整合させたり、電極としてかかる配向性を有することとなる物質としたり、フォットソングラフィでピンホールを形成したりする等のことをなしても良い。

（第2-1-3の実施の形態）

本実施の形態は、電極等が配向膜9のみを介して液晶層に接する場合である。

本実施の形態の液晶素子を、図14に示す。本図に示すように、この液晶素子は、画素電極4、共通電極5または信号配線6と液晶層3との間には配向膜9のみが存在し、その厚みが500 Åより少ない（図では300・）領域が存在する。更に詳しくは、画素電極4、共通電極5、信号配線6等の上には通常は絶縁膜や、保護膜が存在するが、これらの膜の無い領域が部分的に存在し、その部分は配向膜だけであり、しかもその厚さが500 Åより少ない。

これにより、先の実施の形態と同じく、集中したイオン種を電極を

介して回収し、黒斑点欠陥を無くすものである。つまり、電極上の配向膜をより薄くし、

(第2-1-4の実施の形態)

本実施の形態は、一部(一種)の電極等が絶縁層、配向膜等を介さ
5 ず、直接液晶層に接する場合である。

本実施の形態の液晶素子を、図15に示す。本図に示すように、この液晶素子は、画素電極4、共通電極5又は信号配線6と液晶層3とが直接接する領域が存在する(図では、画素電極)。更に詳しくは、通常、画素電極、共通電極、信号配線等の上には絶縁膜や配向膜が存在するが、これらの層や膜が全く存在しない領域を形成しているものである。これにより、電極等と液晶とが直接接する領域が設けられるため、先の幾つかの実施の形態よりも更に集中したイオン種を電極に取り込みやすくしている。

(第2-1-5の実施の形態)

15 本実施の形態は、先の各実施の形態の液晶素子の製造方法に関する。

その1として、配向膜が存在しない領域の在る実施の形態の場合を例にとって説明する。

本発明の液晶素子の製造方法では、配向膜を塗布する工程の後に、一旦塗布した配向膜の一部を除去したり、落としたりする工程を有していることに特徴がある。なお、アレイ側基板に各電極やTFT、その他絶縁膜を形成したり配向膜を形成したりする工程そのものは、通常の横電界方式の液晶素子と異ならない。このため、これらについての説明は省略する。

この一旦形成された配向膜を除去したり、落としたりする工程の具
25 体的内容としては、図16に示すごとき以下の様な手段、方法がある。

(1) ドライエッチングやウエットエッチングにて基板全面の配向

膜を薄くする。

本（１）においては、スピンコートにより表面が基板面に平行になるように塗布した有機物からなる配向膜 9 を O_3 （オゾン）にてエッチング除去しており、その結果、電極等の存在する部分の配向膜の厚さが薄くなる。

（２）フォトリソグラフィーを用いて、所定領域のみの配向膜を薄くしたり、除去したりする。

本（２）においては、フォトリソグラフィックレジスト 19 と露光マスク 20 を使用する。そして、電極上部の配向膜のみが薄くされる。

（３）レーヨンやコットン布で配向膜表面を擦ったり、ラビングによって配向膜を部分的に強制的に剥離する。なお、この際のラビングの押し込み量が、0.5 mm 以上であると、配向膜により強い力が加わり剥離しやすい。

本（３）においては、塗布されたため電極上にある配向膜は突出した形となるが、このためこの部分のみがラビング用ローラ 21 により強く押し込まれることとなる。

以上の他、配向膜の材質や押圧力によっては、厳密な剥離でなく、微小な傷やピンホールが発生することもあるが、これらでも良い。

（第２の発明群）

本第２の発明群は、中和電極を形成するものである。

以下、本発明群の液晶素子について図面を参照しつつ説明する。

（第２－２－１の実施の形態）

本実施の形態の液晶素子のアレイ側の平面を図 17 に、図 17 の A-A 断面図を図 18 に示す。

この液晶素子は、図 4 ～ 6 に示す従来技術の液晶素子と比較した場合、中和電極 30 を有するのが大きく異なる。

本実施の形態の液晶素子は、画面の対角 15.2 インチ、アスペクト比 16 : 9、解像度が縦 768 × 横 1364 RGB の IPS モード TFT 液晶表示パネルのものであり、このパネル、そして液晶素子を以下のようにして作製した。

- 5 両図、特に図 18 において、ガラス基板をベースにしたアレイ基板 1 上にゲート信号配線 7、共通配線 5、共通電極 5 を、アルミニウムを主成分とする金属膜で成膜した後フォトリソグラフで必要な部分のみ残すことにより、同一平面状にパターン形成した。なお、ゲート信号配線の材料は、配線抵抗の低い金属が望ましいが、特にアルミニウム系金属に限定するものではなく、また単層膜でも多層膜であってもよいのは勿論である。

- 次に、絶縁層 8 として、アルミニウム膜の陽極酸化層と窒化珪素 (SiNx) を、半導体層 17 としてアモルファスシリコンを堆積した後 (両図では、詳しくは図示せず)、ゲート信号配線 7 上の絶縁層の一部を取り除き、スパッタリング法によりアルミニウム / チタン (Al / Ti) の 2 層を堆積させてスイッチング素子となる薄膜トランジスタ (TFT) 17、ソース信号配線 6、画素電極 4 をフォトリソグラフ法でパターン形成するとともに、画素電極と共通配線の間で蓄積容量 41 を形成した (図 18 では図示せず)。更に図 18 に示す様に、
- 15 保護層 (膜) 10 として CVD 法により窒化珪素 (SiNx) 10 を堆積させた後、その上層に中和電極 30 としてアルミニウムを主成分とする金属膜を成膜しフォトリソグラフ法でゲート信号配線 7 に沿ってパターン形成し、また表示領域外で各中和電極が連結するように形成した。更に、その上部に配向膜 9 を薄く形成した。

- 25 このように形成されたアレイ基板 1 と、このアレイ基板と対向してブラックマトリクス 12 及び赤、緑、青 (R、G、B) のカラーフィ

ルタ 1 1 が形成された配向（カラーフィルタ）基板 2 の対向面側に配向膜 9（AL5417：JSR製）を印刷形成し、ラビングを施した後、ギャップ 3.5 μ m 間隔で両基板を貼り合わせ、内部へ液晶 3 を真空注入し IPS パネルを形成した。なお、注入した液晶は、p 型成分としてシアノ置換フェニルシクロヘキサンを主成分とする p 型のネマチック液晶である。液晶は電界無印加時には上下基板間で捻れを持たずに配向しており、そのダイレクター方向は、ゲート信号配線 7 と 80 度の角度を成している。なお、本発明の主旨に直接の関係がないため図示していない偏光板は、基板の上下に互いの偏光軸を直交させ、かつ一方の偏光軸を液晶のダイレクター方向と一致させて貼り付けた。

以上のようにして製作した液晶表示パネルにおいて、レーザーリペアを行うのと同様にゲート信号配線部分にレーザービームを照射し、ゲート信号配線部が液晶層に露出するようにした。

このパネルに駆動回路を接続し、60℃の雰囲気温度中で300時間まで連続駆動させたが、約300時間まではゲート信号配線上の絶縁層の欠損部分から黒点むらの発生は認められず、300時間で微かな黒点むらの発生が認められた。本実施の形態では、画素電極及びソース信号配線上に絶縁層が存在せず、電極が露出しているため、ゲート信号配線上の絶縁層に欠損部分があっても、黒点ムラ発生を最小限に抑制することが出来た。

尚、本実施の形態では中和電極をアルミニウムを主成分とする金属により形成しているが、ITO等の電極材料としても良い。

また、図 1 7 では中和電極 3 0 をソース信号配線 6 上にも形成しているが、図 1 9 の（1）に部分的に示すようにゲート信号配線 7 上のみに形成し、表示領域外で各中和電極が連結するように形成しても良い。この場合にはソース信号配線と中和電極との間に形成される寄生

容量をなくすることが出来、ソース信号の遅延を抑制出来る。

また、図 19 の (2) に部分的に示すように中和電極 30 をゲート
信号配線 7 上からずらして形成しても良い。この場合にはゲート信号
配線と中和電極との間に形成される寄生容量を低減出来、ゲート信号
5 の遅延を抑制出来る。ゲート信号配線と中和電極の層間に形成してい
る保護層についても、寄生容量の抑制、ピンホール発生確率の低減の
観点から厚みを厚く形成した方がよく 2000 Å 以上、好ましくは 3
500 Å 以上の厚みで形成する方が良い。

更に、中和電極として金属クロムやポリピロール等の導電性高分子
10 を主体とした遮光性のある材料を用い、図 20 に示すようにゲート信
号配線 7 と共通電極 3 の間隙やソース信号配線と共通電極の間隙を遮
光するように形成しても良い。この場合にはカラーフィルタ基板上の
ブラックマトリクスを形成する必要がなくなり、工数やコストの削減
が可能となる。

15 また、中和電極が形成されるため、配向膜の表面は厳密には凹凸が
生じる。このため、紫外線照射で配向性を有することとなる樹脂を選
定しても良い。

(比較例 1)

比較例として、本実施の形態の液晶表示パネルと、画素部全面に保
20 護層として窒化珪素 (SiNx) を堆積した後、中和電極を形成しな
い点のみが異なる液晶表示パネルを製作した。なお、このパネルの画
素部におけるアレイ形状の平面は図 4 に、断面は図 5 に示すものと同
様である。

なお、この比較例においては、勿論ゲート信号配線上の絶縁層の欠
25 損部分をモデル的に作り込むため、ゲート信号配線部分にレーザービ
ームを照射し、ゲート信号配線部の絶縁層の一部を除去している。

さて、このパネルに駆動回路を接続し、60℃の雰囲気温度中で連続駆動させたところ、20時間でゲート信号配線上の絶縁層の欠損部分から黒点むらの発生が認められた。

本比較例では、ゲート信号配線上の絶縁層の欠損部分近傍において
5 他の電極がすべて絶縁層で被覆されているため、比較的短時間で黒斑点が発生してしまうものと思われる。

(第2-2-2の実施の形態)

先の第1の実施の形態(以下、かかる場合「第2-2-」は省略する。)で作成した液晶表示パネルに駆動回路を接続するとともに中和
10 電極の一端をこの駆動回路の電源回路に接続し、+6Vの電位を印加するようにした。このパネルを60℃の雰囲気温度中で500時間まで連続駆動させたが、ゲート信号配線上の絶縁層の欠損部分から黒点むらの発生は認められなかった。

(第2-2-3の実施の形態)

15 本実施の形態では、中和電極を対向基板側に形成するものである。

このため、中和電極の形成を除いて、先の第1の実施の形態と同様のアレイ基板を製作した。そして、この基板に対向するカラーフィルタ基板2のブラックマトリクス12上に先の実施の形態と同様の方法
20 で中和電極30をパターン形成した。更に、これら両基板の対向面側に配向膜(AL5417:JSR製)を印刷形成し、ラビングを施し、以後、先の実施の形態と同様の工程で製作した。また、レーザーリペアを行うのと同様にゲート信号配線部分にレーザービームを照射し、ゲート信号配線部が液晶層に露出するようにしたのも同様である。

このパネルに駆動回路を接続するとともに、中和電極の一端を駆動
25 回路の電源に接続し、+6Vの電位を印加するようにした。この液晶表示パネルを60℃の雰囲気温度中で500時間まで連続駆動させた

が、ゲート信号配線上の絶縁層の欠損部分から黒点むらの発生は認められなかった。

本実施の形態では中和電極が形成されているため、ゲート信号配線上の絶縁層の欠損部分があっても黒点むら発生を防止することが出来る。また本実施の形態では、中和電極をアレイ基板側に形成せずカラーフィルタ基板側に形成したため、ゲート信号配線や映像信号配線の寄生容量がほとんど増加せず、信号の遅延のない液晶表示パネルが得られる。

尚、本実施の形態においては中和電極をソース信号配線上にも形成したが図22の(1)に部分的に示すようにゲート信号配線7上のみ、あるいはその方向のみに形成しても良い。また中和電極をブラックマトリクス上に別に形成したが、図22の(2)に部分的に示すようにブラックマトリクスを導電性の材料、例えば金属クロムやポリピロール等の導電性高分子を主体として形成し、ブラックマトリクス12自身を中和電極30としても良い。この場合には、中和電極を別途形成する必要がないので、工数やコストの削減が可能となる。

(第3の発明群)

本発明群は、絶縁膜等の開口部と対向側の中和電極を組み合わせたものである。

20 (第2-3-1の実施の形態)

図23は、本実施の形態の液晶パネルのアレイ基板側の平面図である。

図24の(1)は図23のA-A断面図であり、(2)はB-B断面図であり、(3)はC-C断面図である。

25 以下、両図に示す液晶パネルを説明する。

以下、いわゆる周知技術の面が多いが、本発明に関係する面もある

ので、T F Tを含めて、この製造方法を簡単に説明する。

ガラス基板 1 上に金属配線として映像信号線（ソース）6 と走査信号線（ゲート）7 をマトリクス状に形成し、その交点に能動素子（スイッチング素子）として半導体層（T F T : T h i n F i l m T r a n s i s t o r）を形成する。

ガラス基板 1 上に A l などの金属を用いてゲート電極 7 と共通電極 5 を選択的に（所定位置に）形成する。

次にプラズマ C V D 法を用いて第 1 のゲート絶縁膜そして保護膜 10 となる S i N x を 3 0 0 0 Å の厚さで形成し、トランジスタのチャネル部となる半導体層（アモルファスシリコン層）を 5 0 0 Å の厚さで形成し、エッチングストッパ兼保護膜 1 0 0 となる S i N x を 1 5 0 0 Å の厚さで順次形成する。この時に図 2 4 の（3）に示すようにトランジスタのチャネル部の形成方法としてゲート電極の上の絶縁膜 S i N x をゲート電極よりも小さく形成してエッチングストッパとし、その上にプラズマ C V D 法を用いてリンを含む n⁺ のアモルファスシリコン層を 5 0 0 Å の厚さで形成し、オーミック接合を得る（n⁺ : 高濃度のドーピングであり、n 型不純物添加の割合が多い）。

次に、電極等を形成する周辺部分にコンタクトホールを形成し、配線部分とのコンタクトがとれるようにする。

次に、A l / T i 等の金属を用いて信号配線（ソース線）6、ドレイン線、画素電極 4 を 4 0 0 0 Å の厚さで形成する。

その後、配線を保護するために第 2 の絶縁膜（パッシベーション膜）あるいは保護膜 10 として S i N x をプラズマ C V D 法を用いて 3 5 0 0 Å の厚さで形成する。

ところでこの際、基板を洗浄した後、レジストをスピナーにより塗布し、マスク露光を行うことにより、第 2 の絶縁膜（パッシベシ

5 ョン膜) 10を選択的に(一部領域に)形成し、画素部において絶縁膜(あるいは保護膜10)の一部が形成されていない領域80が在るようにする。具体的には図23の中央や図24の(1)に示すように蓄積容量部4の上の一部領域80に第2の絶縁膜(パッシベーション膜)10を形成しないようにする。

その後、現像、乾燥を行い、更にRIE(reactive ion etching)によりドライエッチングを行った後、レジストを除去する。

10 次に、カラーフィルター11のついた対向のガラス基板2側のブラックマトリクス12部分に中和電極としてAl電極30を形成する。

このAl電極の上に絶縁膜としてSiNxを選択的に(一部領域のみに)形成する。この際、絶縁膜の一部を除去しておき、対向電極側でも発生したイオンを非イオン化できるようにしておく。

図2.5は対向のガラス基板側の構成を示す上面図である。

15 図26の(1)は、図25のA-A断面図であり、(2)はB-B断面図である。本図26において、82は対向基板側の絶縁膜であり、820は中和電極兼ブラックマトリクス12の直下に位置するその一部欠損部である。なお、9は配向膜であり、10は保護膜であり、11はカラーフィルターである。

20 次に、カラーフィルター11のついた対向のガラス基板2とアレイが形成された基板1上に配向膜9(AL5417:JSR製)を印刷・硬化し、ラビングを施した。

25 次に、ガラス基板の縁部にシール樹脂(ストラクトボンド:三井東圧製)を印刷する。シール樹脂中にはスペーサーとして4.0 μ mのガラスファイバー(日本電気硝子製)を混入している。

その後、基板間隔を保持するために表示領域内にスペーサーとして

直径 3.5 μm の樹脂球（エポスター G P - H C : 日本触媒（株）製）を散布する。

その後、両基板を貼り合わせ、150℃で2時間加熱することでシール樹脂を硬化させた。

- 5 以上のようにして作製した空パネルに誘電率異方性が正の液晶3を真空注入法（空パネルを減圧した槽内に設置し、パネル内を真空にした後、注入口を液晶に接触させ、槽内を常圧に戻すことにより、液晶をパネル内に注入する方法）にて注入した。

（表1）に用いた液晶とその比抵抗を示す。

10 （表1）

	比抵抗($\Omega \cdot \text{cm}$)	表示の焼き付き
液晶A	10^{11} 以上 10^{12} より小さい。	○
液晶B	10^{12} 以上 10^{13} より小さい。	○
液晶C	10^{13} 以上 10^{14} より小さい。	△
液晶D	10^{14} 以上 10^{15} より小さい。	×

その後、液晶パネルの注入口に封口樹脂として光硬化性樹脂（ロックタイト 352A : 日本ロックタイト製）を注入口全体に塗布し、光を10 mW / cm^2 で5分間照射して封口樹脂を硬化した。

- 15 その後、これら基板の上下（ガラス基板の外側）に偏光板（N P F - H E G 1 4 2 5 D U : 日東電工製、図示せず）を貼付した。

比較例として、（表2）に示すパネルを作製した。

（表2）

	アレイ基板側 絶縁膜	対向基板側 電極	対向基板側 絶縁膜	黒点状ムラの 大きさ
本発明	絶縁膜除去あり	あり	絶縁膜除去あり	0.1mm
比較例1	絶縁膜除去なし	なし	—	5mm
比較例2	絶縁膜除去なし	あり	絶縁膜除去なし	5mm
比較例3	絶縁膜除去なし	あり	絶縁膜除去あり	2mm
比較例4	絶縁膜除去あり	なし	—	2mm
比較例5	絶縁膜除去あり	あり	絶縁膜除去なし	2mm

- 20 比較例1、2はゲート電位に偏在したイオンを非イオン化するため

の電極が露出されていないので、黒点状ムラは大きい。

比較例 3 はアレイ基板の絶縁膜は除去されていないが、対向基板側に非イオン化するための電極が形成されているために、黒点状のムラは比較例 1、2 よりは小さくなるが、まだ不十分である。

5 比較例 4、5 はアレイ基板の絶縁膜が除去されているために、ある程度ゲート電位に偏在したイオンを非イオン化できるが、対向基板側に非イオン化するための電極が形成されていない、あるいは対向基板側の電極が露出されていないために、黒点状のムラは比較例 1、2 よりは小さくなるが、まだ不十分である。

10 本実施の形態では、アレイ基板の絶縁膜が除去されており、かつ対向基板側にも非イオン化するための電極が形成されているため黒点状のムラが 0.1 mm 以下と十分小さく抑えることができる。

また本実施の形態と比較例の相違を図 27 に概念的に示す。

これらのパネルのゲート部分にレーザーを照射して、ゲートの電位
15 を露出させ、70℃の高温槽の中に入れ、12時間駆動させた後、中間調を表示させて評価した。

対向基板側の中和電極の電位はアレイ基板側の共通電極と同電位になるように設定した。

その結果、表 2 に示すように比較例 1、2 はゲート電位に偏在した
20 イオンを非イオン化するための電極が露出されていないので、黒点状ムラは大きくなってしまふ。

比較例 3 はアレイ基板の絶縁膜は除去されていないが、対向基板側に非イオン化するための電極が形成されているために、黒点状のムラは比較例 1、2 よりは小さくなるが、まだ不十分である。

25 比較例 4、5 はアレイ基板の絶縁膜が除去されているために、ある程度ゲート電位に偏在したイオンを非イオン化できるが、対向基板側

に非イオン化するための電極が形成されていない、あるいは対向基板側の電極が露出されていないために、黒点状のムラは比較例 1、2 よりは小さくなるが、まだ不十分である。

本発明ではアレイ基板の絶縁膜が除去されており、かつ対向基板側
5 にも非イオン化するための電極が形成されているため黒点状のムラが
0.1 mm 以下と十分小さく抑えることができた。

また表 1 からわかるように液晶の比抵抗を $10^{13} \Omega \cdot \text{cm}$ より小さくすることにより表示の焼き付きのない良好な表示を得ることができた。

10 (第 2 embodiment の実施の形態)

図 28 に、本実施の形態の液晶パネルの対向のガラス基板側の構成を示す。

本図の (1) は平面図であり、(2) は (1) の断面図である。

先の実施の形態では対向基板側の中和電極上の絶縁膜の一部を除去
15 したが、本実施の形態では、対向基板側のブラックマトリクス兼中和
電極 12 上には絶縁膜を全く形成していない。

その他は、先の実施の形態と同様である。

本図のようにすると、中和電極の上には絶縁膜が全く形成されてい
ないので、先の実施の形態に比較して黒点状ムラの発生をさらに抑え
20 ることができる。

本実施の形態等では図 23 のように蓄積容量の上の画素電極上の絶
縁膜を除去したが、除去する部分 80 は図 29 と 30 に示すように信
号配線電極 6 上 (図上、上下方向) や画素電極 4 の上 (図上、画素の
中央部) や、それらの電極にまたがる等のように他の組み合わせで除
25 去しても良い。

また、図 31 に示すように共通電極 5 を画素電極 4 よりも上に形成

するようにし、共通電極の上の絶縁膜の一部を除去しても良い。

また、図 3 2 に示すように共通電極 5 と画素電極 4 を同一層に形成し、その上の絶縁膜の一部を除去しても良い。

また、本実施の形態等では対向基板側に形成する電極として図 2 5
5 と 2 8 に示すようにブラックマトリクス部にマトリクス状に形成したが、図 3 3 の (1) に示すように矢印で示す信号配線電極 6 に対応する方向、部分のみや同じく図 3 3 の (2) に示すように走査配線 7 に対応する部分、方向のみ等にだけ形成しても良く、また図 3 4 に示すように島状に形成しても良い。

10 (第 2 - 3 - 3 の実施の形態)

先の 2 つの実施の形態は第 2 の絶縁膜を除去する箇所として蓄積容量の上の一部のみを除去したが、本実施の形態では、図 3 5 の (1) に示すようにスイッチング素子である T F T の上部にだけ第 2 の絶縁膜 (パッシベーション膜) 1 0 を形成するものである (すなわち (2)
15 に示すように画素電極 4 の上には絶縁膜を全く形成しないようにする)。その他は、先の実施の形態と同様である。

図 3 5 に、本実施の形態の液晶パネルの構成を示す。

本図の (1) は平面図であり (2) はその断面図である。

更に、対向基板側にも、図 2 5 に示すように、中和電極上に一部絶
20 縁膜の形成されていない箇所を形成した。

このような構成にすることにより、画素電極の上には絶縁膜が全く形成されていないので、先の 2 つの実施の形態に比較して黒点状ムラの発生をさらに抑えることができた。

(第 2 - 3 - 4 の実施の形態)

25 本実施の形態では、先の実施の形態と異なり対向基板側には絶縁膜を形成しない。その他は、先の実施の形態と同様である。

すなわち対向基板側には図 2 8 に示すように絶縁膜を形成せず、アレイ基板側は図 3 5 に示すようにスイッチング素子である T F T の上部にだけ第 2 の絶縁膜（パッシベーション膜）10 を形成する（すなわち、画素電極 4 の上には絶縁膜を全く形成しない）。

- 5 このようにすることにより、画素電極の上及び対向基板側のブラックマトリクス兼中和電極上には絶縁膜が全く形成されないので、先の 3 つの実施の形態に比較して黒点状ムラの発生をさらに抑えることができる。

- 10 本実施の形態と先の実施の形態においても、対向基板側は図 3 3 と 3 4 に示すようにしても良く、またアレイ基板側は、図 3 6 に示すように走査配線電極上、信号配線電極上、あるいは走査配線電極上と信号配線電極上に絶縁膜 10 を形成しても良い。

（第 2 - 3 - 5 の実施の形態）

図 3 7 に、本実施の形態の液晶パネルの構造を示す。

- 15 先の実施の形態ではガラス基板上に走査線と共通電極を形成し、その上に第 1 の絶縁膜を形成し、その上に半導体層、信号線、画素電極を形成したが、本実施の形態ではガラス基板上に信号線、ドレイン、画素電極、半導体層を形成し、その上に第 1 の絶縁膜を形成し、その上に走査線と共通電極を選択的に形成する。

- 20 すなわち、先の第 3 の実施の形態では画素電極上の一部に絶縁膜がなく、共通電極上に絶縁膜が形成されていたが、本実施の形態では画素電極上に絶縁膜が形成されており、共通電極の上には絶縁膜が形成されていない。

なお、対向基板の形成は第 1 の実施の形態と同様である。

- 25 更に、対向基板側には、図 2 5 に示すように中和電極や中和電極兼ブラックマトリクス上に一部絶縁膜の形成されていない箇所、領域を

形成する。

このように共通電極上の絶縁膜と対向基板上の中和電極上の絶縁膜の一部を除去することにより、ゲート電位部に偏在したイオンが画素電極部分に拡散、非イオン化されるために黒点状ムラのない良好な表

5 示品位の液晶パネルを得ることができた。

(第2-3-6の実施の形態)

先の第5の実施の形態では対向基板側に絶縁膜の形成されている箇所を設けたが、本実施の形態では絶縁膜を形成しない。その他は、先の第5の実施の形態と同様である。

10 すなわち、対向基板側は図28に示すように絶縁膜を形成せず、アレイ基板側は図37に示すようにスイッチング素子であるTFTの上部にだけ絶縁膜(パッシベーション膜)を形成する(すなわち共通電極の上には絶縁膜を全く形成しない)。

15 このようにすることにより、共通電極の上及び対向基板側の中和電極上には絶縁膜が全く形成されていないので、先の第5の実施の形態に比べて黒点状ムラの発生をさらに抑えることができる。

本実施の形態と先の第5の実施の形態においては、対向基板側は図33と34に示すようにしても良い。また、アレイ基板側は、図38に示すように走査配線電極に保護膜やこれを兼ねた絶縁膜10を形成した上、信号配線電極上、あるいは走査配線電極上と信号配線電極上に絶縁膜を形成しても良い。

(第2-3-7の実施の形態)

図39に、本実施の形態の液晶パネルの構成を示す。

25 先の第3の実施の形態では、ガラス基板1上に走査線と共通電極を形成し、その上に第1の絶縁膜を形成し、その上に半導体層、信号線、画素電極を形成したが、本実施の形態ではガラス基板1上に信号線6、

ドレイン、画素電極 4、半導体層を形成し、その上に第 1 の絶縁膜を形成し、その上に走査線 7 と共通電極 5 と画素電極 4 を選択的に形成する。

すなわち本実施の形態では、画素電極と共通電極を同一の層に形成するのとは第 1 の実施の形態と同様である。

対向基板側は、図 25 のように中和電極上に一部絶縁膜の形成されていない箇所を形成する。

このように画素電極上及び共通電極上の絶縁膜と対向基板上の中和電極上の絶縁膜の一部を除去することにより、ゲート電位部に偏在したイオンが画素電極部分に拡散、非イオン化されるために黒点状ムラのない良好な表示品位の液晶パネルを得ることができた。

(第 2 - 3 - 8 の実施の形態)

先の第 7 の実施の形態では、対向基板側に絶縁膜の形成されている箇所を設けたが、本実施の形態では対向基板側には絶縁膜を形成しない。その他は、先の実施の形態と同様である。

すなわち、対向基板側は図 28 に示すように絶縁膜を形成せず、アレイ基板側は図 39 に示すようにスイッチング素子である TFT の上部にだけ絶縁膜（パッシベーション膜）を形成する（すなわち共通電極の上には絶縁膜を全く形成しない）。

このような構成により、共通電極の上及び対向基板側の中和電極上には絶縁膜が全く形成されていないので、先の実施の形態に比較して黒点状ムラの発生をさらに抑えることができる。

なお、本実施の形態等においても、対向基板側は図 33 と 34 に示すような形状でも良く、またアレイ基板側は、図 40 に示すように走査配線電極上、信号配線電極上、走査配線電極上と信号配線電極上に絶縁膜を形成しても良い。

(第4の発明群)

本発明群は、TFTの部分を除く最上部（液晶層側）の金属層（電極信号線）は開口部とするものである。

(第2-4-1の実施の形態)

5 図41に、本実施の形態の液晶パネルの構成を示す。

本図の(1)は平面図であり、(2)はそのA-A断面の図である。
(3)はB-B断面のアレイ側基板の図である。(4)は同じC-C断面のアレイ側基板の図である。なお、B-B断面とC-C断面の対向基板はA-A断面と同じであり、このため図示は省略する。

10 以下、本図を参照しつつこの液晶パネルを説明する。

ガラス基板1上に金属配線として映像信号線（ソース）6と走査信号線（ゲート）7をマトリクス状に形成し、その交点に能動素子（スイッチング素子）として半導体層（TFT）16を形成した。

その形成であるが、先ず最初にガラス基板1上にA1等の金属を用
15 いてゲート電極7と対向電極5を選択的に形成した。

次に、プラズマCVD法を用いて第1のゲート絶縁膜8となるSiNxを3000Åの厚さで形成し、トランジスタのチャネル部となる半導体層（アモルファスシリコン層）を500Åの厚さで形成し、エッチングストッパとなるSiNxを1500Åの厚さで順次形成した。

20 この時に図41の(4)に示すようにトランジスタのチャネル部の形成方法としてゲート電極の上の絶縁膜SiNxをゲート電極よりも小さく形成してエッチングストッパとし、その上にプラズマCVD法を用いてリンを含むn⁺のアモルファスシリコン層を500Åの厚さで形成し、オーミック接合を得た（n⁺：高濃度のドーピングであり、
25 n型不純物添加の割合が多い）。

次に、電極等を形成する周辺部分にコンタクトホールを形成し、配

線部分とのコンタクトがとれるようにした。

次に、Al/Tiなどの金属を用いて信号配線（ソース線）6、ド
レイン線、画素電極4を4000Åの厚さで形成した。

その後、配線を保護するために第2の絶縁膜（パッシベーション膜）
5 10としてSiNxをプラズマCVD法を用いて3500Åの厚さで
形成した。

基板を洗浄した後、レジストをスピナーにより塗布し、マスク露
光を行うことにより、スイッチング素子であるTFTの上部にだけ第
2の絶縁膜（パッシベーション膜）10を形成した（すなわち、図4
10 1の断面図に示すように、画素電極4の上には絶縁膜を形成しないよ
うにした）。

その後、現像、乾燥を行った後、RIEによりドライエッチングを
行った後、レジストを除去した。

また、比較例として図42に示すような画素全体に第2の絶縁膜が
15 形成されたパネルも作製した。

これらの基板のゲート部分にレーザーを照射して、ゲートの電位を
露出させた。

次に、カラーフィルター11のついた対向のガラス基板2とアレイ
が形成された基板1上に配向膜9（AL5417：JSR製）を印刷
20 し、ラビングを施した。

ラビングは、アレイ基板の信号配線（ソースライン）6に沿った方
向で行い、アレイ基板1とカラーフィルター基板2のラビング方向が
平行となるようにした。

次に、ガラス基板2の縁部にシール樹脂（ストラクトボンド：三井
25 東圧製）を印刷した。

シール樹脂中にはスペーサーとして4.0μmのガラスファイバー

(日本電気硝子製)を混入した。

その後、基板間隔を保持するために表示領域内にスペーサーとして直径 $3.5 \mu\text{m}$ の樹脂球 (エポスター G P - H C : 日本触媒 (株) 製) を散布した。

- 5 その後基板 1 及び対向基板 2 を貼り合わせ、 150°C で 2 時間加熱してシール樹脂を硬化させた。

以上のようにして作製した空パネルに誘電率異方性が正の液晶 3 を真空注入法 (空パネルを減圧した槽内に設置し、パネル内を真空にした後、注入口を液晶に接触させ、槽内を常圧に戻すことにより、液晶
10 をパネル内に注入する方法) にて注入した。

(表 1) に、用いた液晶とその比抵抗を示す。

(表 1)

	比抵抗($\Omega \cdot \text{cm}$)	表示の焼き付き
液晶 A	10^{11} 以上 10^{12} より小さい。	○
液晶 B	10^{12} 以上 10^{13} より小さい。	○
液晶 C	10^{13} 以上 10^{14} より小さい。	△
液晶 D	10^{14} 以上 10^{15} より小さい。	×

- その後、液晶パネルの注入口に封口樹脂として光硬化性樹脂 (ロ
15 クタイト 3.5 2 A : 日本ロックタイト製) を注入口全体に塗布し、光を $10 \text{ mW} / \text{cm}^2$ で 5 分間照射して封口樹脂を硬化した。

これら基板 1、2 の上下 (ガラス基板の外側) に偏光板 (N P F - H E G 1 4 2 5 D U : 日東電工製) を貼付した。

- これらのパネルを 70°C の高温槽の中に入れ、12 時間駆動させた
20 後、中間調を表示させて評価したところ、画素全面に S i N x が形成されている従来の液晶パネルでは、レーザーを照射した箇所から表示ムラが発生していたのに対して、画素電極上部の絶縁膜を除去したパネルでは表示ムラはなく、良好な表示が観察できた。

画素電極上部の絶縁膜を除去することにより、ゲート電位部に偏在したイオンが画素電極部分に拡散、非イオン化されるために表示ムラのない良好な表示品位の液晶パネルを得ることができた。

また表 1 からわかるように、液晶の比抵抗を $10^{13} \Omega \cdot \text{cm}$ より小さくすることにより表示の焼き付きのない良好な表示を得ることができた。

なお、従来は第 2 の絶縁膜は画素部全面に形成されているが、電極を取り出す周辺部分には形成されていない。このため、そのための工程が必要である。さて、本実施の形態では画素内に第 2 の絶縁膜が形成されていない箇所を形成するが、従来のマスクを変更するだけで良く、工程数は変わらない。

(第 2 - 4 - 2 の実施の形態)

図 4 3 に、本実施の形態の液晶パネルの構成を示す。

本図の (1) は平面図であり、(2) ~ (4) は、断面図である。
なお、対向基板側の B - B 断面、C - C 断面は A - A 断面と同じである。

本実施の形態は、第 2 の絶縁膜 8 1 を T F T 上と信号配線 (ソース配線) 6 上に形成する以外は先の実施の形態と同様である。

ラビングの方向は、アレイ基板の信号配線 (ソースライン) 6 に沿って行い、アレイ基板とカラーフィルター基板とでラビング方向が平行になるようにした。

本図のような構成にすることにより、T F T と (ソース) 信号配線 6 を保護することができる。

また第 2 の絶縁膜が信号配線に沿って形成されており、ラビングもソース信号配線に沿って行うので、絶縁膜がラビングの際に邪魔にならないので良好な配向を得ることができる。

(第 2 - 4 - 3 の実施の形態)

図 4 4 の (1) に、本実施の形態の液晶パネルの構成を示す。

本図において、8 1 は T F T 上の絶縁膜である。この第 2 の絶縁膜 8 1 を T F T 1 7 上と走査配線 (ゲート配線) 7 上に形成することと
5 ラビング方向及び液晶以外は先の第 1 の実施の形態と同様である。

このような構成にすることにより、T F T と走査配線 7 を保護することができる。

また第 2 の絶縁膜 8 1 が走査配線 7 に沿って形成されており、ラビングも走査配線に沿って行うので、絶縁膜がラビングの際に邪魔にならないので良好な配向を得ることができる。第 1 の実施の形態では、
10 誘電率異方性が正の液晶を用いたが、本実施の形態では誘電率異方性が負の液晶を用いることによりラビング方向を走査配線方向にすることができる。

(第 2 - 4 - 4 の実施の形態)

15 図 4 4 の (2) に本実施の形態の液晶パネルの構成を示す。

本実施の形態は、第 2 の絶縁膜 8 1 を T F T 1 7 上と信号配線 (ソース配線) 6 上と走査配線 (ゲート配線) 7 上に形成する以外は第 1 の実施の形態と同様である。

このような構成にすることにより、T F T と信号配線と走査配線を
20 保護することができる。

(第 2 - 4 - 5 の実施の形態)

図 4 5 に、本実施の形態の液晶パネルの構成を示す。

本図においても、対向基板側は全て A - A 断面と同じである。

第 1 の実施の形態では、ガラス基板 1 上に走査線と対向電極を形成
25 し、その上に第 1 の絶縁膜を形成し、その上に半導体層、信号線、画素電極を形成し、その上に第 2 の絶縁膜を部分的に形成したが、本実

施の形態ではガラス基板上に信号線 6、ドレイン、画素電極 4、半導体層 16 を形成し、その上に第 1 の絶縁膜 8 を形成し、その上に走査線 7 と対向電極 5 を選択的に形成し、その上に第 2 の絶縁膜 81 を部分的に形成している。

- 5 すなわち、第 1 の実施の形態では画素電極 4 上に絶縁膜がなく、対向電極上に絶縁膜が形成されていたが、本実施の形態では画素電極 4 上に絶縁膜 81 が形成されており、対向電極 5 上に絶縁膜が形成されていない構成である。

このようにすることにより、ゲート電位部に偏在したイオンが画素
10 電極部分に拡散し、非イオン化されるために表示ムラのない良好な表示品位の液晶パネルを得ることができた。

(第 2 - 4 - 6 の実施の形態)

図 46 の (1) に本実施の形態の液晶パネルの構成を示す。

本実施の形態は、第 2 の絶縁膜を T F T 上と信号配線 (ソース配線)
15 6 上に形成する以外は先の第 5 の実施の形態と同様である。

ラビングの方向もアレイ基板の信号配線 (ソースライン) に沿った方向で行い、アレイ基板とカラーフィルター基板のラビング方向が平行な方向になるようにした。

このようにすることにより、T F T と信号配線を保護することが
20 できる。

また第 2 の絶縁膜が信号配線に沿って形成されており、ラビングも信号配線に沿って行うので、絶縁膜がラビングの際に邪魔にならないので良好な配向を得ることができる。

(第 2 - 4 - 7 の実施の形態)

25 図 46 の (2) に本実施の形態の液晶パネルの構成を示す。

本実施の形態は、第 2 の絶縁膜を T F T 上と走査配線 (ゲート配線)

7 上に形成することとラビング方向及び液晶以外は先の第 5 の実施の形態と同様である。

このようにすることにより、T F T と走査配線を保護することができる。

- 5 また第 2 の絶縁膜が走査配線に沿って形成されており、ラビングも走査配線に沿って行うので、絶縁膜がラビングの際に邪魔にならないので良好な配向を得ることができる。

(第 2 - 4 - 8 の実施の形態)

図 4 7 に、本実施の形態の液晶パネルの構成を示す。

- 10 本実施の形態は、第 2 の絶縁膜を T F T 上と信号配線 (ソース配線) 上と走査配線 (ゲート配線) 上に形成する以外は、先の第 5 の実施の形態と同様である。

このようにすることにより、T F T と信号配線と走査配線を保護することができる。

- 15 なお、第 2 の絶縁膜が形成されない部分が小さすぎるとゲート電位部に偏在したイオンが回収しきれないので、第 2 の絶縁膜が形成されない部分は画素電極上のすべてあるいは対向電極上のすべてに形成されていなければならない必要がある。

- 20 また、画素電極上と対向電極上のどちらも絶縁膜を形成しないとショートなどの問題が発生してしまうので不可である。

(第 5 の発明群)

本発明群は、ブラックマトリクス等に凹凸構造を設けることに関する。

(第 2 - 5 - 1 の実施の形態)

- 25 図 4 8 に、本実施の形態の液晶素子の対向 (カラーフィルター側) 基板側の構成を示す。

以下、本図を参照しつつこの液晶素子を説明する。

なお、アレイ基板側は、図4に示す従来と同じ方法で製作する。

すなわち、ガラス基板1上に金属配線として映像信号線（ソース）と走査信号線（ゲート）をマトリクス状に形成し、その交点に能動素子（スイッチング素子）として半導体層（TFT）を形成した。

ガラス基板1上にAlなどの金属を用いてゲート電極と共通電極5を選択的に形成した。

次にプラズマCVD法を用いて第1のゲート絶縁膜となるSiNxを3000Åの厚さで形成し、トランジスタのチャネル部となる半導体層（アモルファスシリコン層）を500Åの厚さで形成し、エッチングストッパとなるSiNxを1500Åの厚さで順次形成する。この際、トランジスタのチャネル部の形成方法としてゲート電極の上の絶縁膜SiNxをゲート電極よりも小さく形成してエッチングストッパとし、その上にプラズマCVD法を用いてリンを含むn⁺のアモルファスシリコン層41を500Åの厚さで形成し、オーミック接合を得る（n⁺：高濃度のドーピングであり、n型不純物添加の割合が多い）。

次に、電極等を形成する周辺部分にコンタクトホールを形成し、配線部分とのコンタクトがとれるようにした。

次に、Al/Tiなどの金属を用いて信号配線（ソース線）6、ドレイン線、画素電極を4000Åの厚さで形成した。

その後、配線を保護するために第2の絶縁膜（パッシベーション膜）としてSiNxをプラズマCVD法を用いて3500Åの厚さで形成した。

次に、図48の（2）に示すカラーフィルター11のついた対向のガラス基板側の導電性ブラックマトリクス部分の一部が配向膜と接す

る構造にしておく。更に、対向基板 2 のブラックマトリクス 1 2 は図 4 8 の (2) に示すように凹凸部を形成しておき、表面積を大きくし、対向基板側でも発生したイオンを非イオン化できるようにしておく。

導電性のブラックマトリクスの形成方法としては、導電性の金属を
5 樹脂中に混合して形成した。凹凸構造はこのブラックマトリクスを部分的にパターニング・積層を 2 回行うことにより作製した。

凹凸部の構成としては凹部と凸部の差が $0.1 \mu\text{m}$ になるように形成したものと凹部と凸部の差が $0.3 \mu\text{m}$ になるように形成したものの 2 種類を作製した。凹凸部の構成を示す模式図を本図の (2) に示
10 す。

このようにすることにより、ブラックマトリクスの実質的な表面積は凹凸を形成しない場合と比較してそれぞれ約 2 倍、約 6 倍になった。

次に、カラーフィルターのついた対向のガラス基板 2 とアレイが形成された基板 1 の内面 (液晶) 側に配向膜 (A L 5 4 1 7 : J S R 製)
15 を印刷・硬化し、ラビングを施した。

次に、ガラス基板 2 の縁部にシール樹脂 (ストラクトボンド : 三井東圧製) を印刷した。シール樹脂中にはスペーサーとして $4.0 \mu\text{m}$ のガラスファイバー (日本電気硝子製) を混入しておいた。

その後、基板間隔を保持するために表示領域内にスペーサーとして
20 直径 $3.5 \mu\text{m}$ の樹脂球 (エポスター G P - H C : 日本触媒 (株) 製) を散布した。

その後、基板 1 及び対向基板 2 を貼り合わせ、 150°C で 2 時間加熱することでシール樹脂を硬化させた。

以上のようにして作製した空パネルに誘電率異方性が正の液晶を真
25 空注入法 (空パネルを減圧した槽内に設置し、パネル内を真空にした後、注入口を液晶に接触させ、槽内を常圧に戻すことにより、液晶を

パネル内に注入する方法)にて注入する。表1に用いた液晶とその比抵抗を示す。

(表1)

	比抵抗($\Omega \cdot \text{cm}$)	表示の焼き付き
液晶A	10^{11} 以上 10^{12} より小さい。	○
液晶B	10^{12} 以上 10^{13} より小さい。	○
液晶C	10^{13} 以上 10^{14} より小さい。	△
液晶D	10^{14} 以上 10^{15} より小さい。	×

5 その後、液晶素子の注入口に封口樹脂として光硬化性樹脂（ロックタイト352A：日本ロックタイト製）を注入口全体に塗布し、光を $10\text{ mW}/\text{cm}^2$ で5分間照射して封口樹脂を硬化した。

両基板の上下（ガラス基板の外側）に偏光板（NPF-HEG1425DU：日東電工製）を貼付した。

10 比較例として、対向基板側のブラックマトリクスに凹凸を形成しないパネルを作製した。

これらのパネルのゲート部分にレーザーを照射して、ゲートの電位を露出させ、 70°C の高温槽の中に入れ、12時間駆動させた後、中間調を表示させて評価した。

15 対向基板側のブラックマトリクスの電位はアレイ基板側の共通電極と同電位になるように設定した。

その結果、本実施例ではブラックマトリクスに凹凸が形成されているためにイオンを回収する面積がそれだけ大きくなり、このため黒点状のムラを小さく抑えることができた。

20 凹凸部の差を $0.1\text{ }\mu\text{m}$ になるように形成したものは黒点状のムラの直径が 0.1 mm 以下となり、凹凸部の差が $0.3\text{ }\mu\text{m}$ になるように形成したものは黒点状のムラが全く発生しなかったのに対して、比較例で用いたパネルは 3 mm の黒点状のムラが発生した。

また表 1 からわかるように液晶の比抵抗を $10^{13} \Omega \cdot \text{cm}$ より小さくすることにより表示の焼き付きのない良好な表示を得ることができた。

(第 2 - 5 - 2 の実施の形態)

5 図 49 に本実施の形態の液晶素子のアレイ基板側の構成を示す。

図 50 の (1) と (2) に、その断面を示す。

先の第 1 の実施の形態ではブラックマトリクス 12 を対向基板側に作製したが、本実施の形態では図 50 の (3) に示すように凹凸状のブラックマトリクス 12 をアレイ基板側に作製した。その他は、先の
10 第 1 の実施の形態と同様である。

このようにすることにより、ブラックマトリクスには凹凸が形成されているためイオンを回収する面積が大きくなり、ひいては黒点状のムラが発生せず良好な表示が得られた。

本実施の形態等ではブラックマトリクスは画素を囲む構成としたが、
15 図 51 に示すように走査配線 (ゲートライン) 7 に対応する部分にだけ形成したり、信号配線 (ソースライン) 6 に対応する部分にだけ形成しても良い。

また図 52 に示すように島状に形成しても良い。なおこのブラックマトリクスであるが、これは単にカラーフィルターの各色彩用の画素
20 間に在るだけでなく、TFT の保護、光による誤作動防止等の役をも担う遮光膜 (層) であっても良いのは勿論である。

更に、凹凸は、カラーフィルター側基板の純粋なブラックマトリクスよりも幅狭等の場合、本来液晶と接する上面のみならず、側面も形成して良いのは勿論である。

25 (第 2 - 5 - 3 の実施の形態)

図 53 に、本発明の第 2 - 5 - 3 の実施の形態の液晶素子の構成を

示す。

先の第 1 の実施の形態では導電性のブラックマトリクスに凹凸を形成したが、本実施の形態では対向基板のブラックマトリクス部の上にオーバーコートを形成し、その上に凹凸状の中和電極 30 を形成する
5 ものである。そして、この凹凸状の電極の電位は共通電極と同電位になるようにした。その他は、先の第 1 の実施の形態と同様である。

このようにすることにより、電極に凹凸が形成されているためにイオンを回収する面積が大きく、黒点状のムラが発生せず良好な表示が得られた。

10 (第 2 - 5 - 4 の実施の形態)

先の第 3 の実施の形態では対向基板側に凹凸状の中和電極を形成したが、本実施の形態では、図 5 3 に示すのと断面の上下が逆となる他はほぼ同様であるため、わざわざは図示しないが、アレイ基板側に形成する。その他は、先の第 3 の実施の形態と同様である。

15 本実施の形態では、中和電極に凹凸が形成されているためイオンを回収する面積が大きく（広く）なり、黒点状のムラが発生せず良好な表示が得られた。

すなわち、ゲート電位部に偏在したイオンが中和電極部分に拡散し、非イオン化されるため黒点状ムラのない良好な表示品位の液晶素子を得ることができた。
20

なお、本実施の形態では中和電極は画素電極、各信号配線とは別に形成した。

(第 2 - 5 - 5 の実施の形態)

図 5 4 の (1) は、従来の IPS の断面構成を示す図であり、(2)
25 は従来の IPS の改良版である対向基板側に電極を形成した HS モード (Hybrid Switching Mode) の構成を示す断面

図である。

これらのモードにおいても、IPSモードと同様に黒点状のムラが発生する。

図55に本実施の形態の液晶素子の構成を示す。

5 以下、この図に示す液晶素子の実施例を説明する。

先の第3の実施の形態では対向基板側のブラックマトリクス部分に凹凸状の中和電極30を形成したが、本実施の形態では図55の(2)に示すようにブラックマトリクス以外の部分に凹凸状の中和電極を形成する。その他は、先の第3の実施の形態と同様である。

10 本実施の形態では、電極に凹凸が形成されているためにイオンを回収する面積が大きく、黒点状のムラが発生せず良好な表示が得られた。

なお、本実施の形態ではブラックマトリクスの部分には電極を形成しなかったが、図56に示すように、その部分に電極を形成しても良い。また図57に示すようにブラックマトリクスの部分に形成した電極のみを凹凸状にしても良く、また図58に示すようにブラックマトリクスの部分に形成した電極とそれ以外の部分に形成した電極の両方を凹凸状に形成しても良い。

(第2-5-6の実施の形態)

先の第5の実施の形態では対向基板側に凹凸状の中和電極を形成したが、本実施の形態ではアレイ基板側に凹凸状の中和電極を形成するものであり、その他は第5の実施の形態と同様である。

本実施の形態では、電極に凹凸が形成されているためイオンを回収する面積が大きく、黒点状のムラが発生せず良好な表示が得られた。

(第2-5-7の実施の形態)

25 図59の(1)に本実施の形態の液晶素子の断面構成を示す。

先の第5の実施の形態では対向基板側に凹凸状の中和電極を形成し

たが、本実施の形態では対向基板側のブラックマトリクスを凹凸状に形成するものであり、その他は第5の実施の形態と同様である。

本実施の形態では、ブラックマトリクスに凹凸が形成されているためにイオンを回収する面積が大きく、黒点状のムラが発生せず良好な表示が得られた。

以上の他、図59の(2)に示すように対向基板側に形成した中和電極30及びブラックマトリクス12の両方に凹凸を形成しても良い。また(3)と(4)に示すようにオーバーコートの上に電極やブラックマトリクスを形成しても良い。

10 (第2-5-8の実施の形態)

先の第7の実施の形態ではブラックマトリクスを対向基板側に形成したが、本実施の形態ではアレイ基板側に形成するものであり、その他は第7の実施の形態と同様である。本実施の形態では、ブラックマトリクスに凹凸が形成されているためにイオンを回収する面積が大きく、黒点状のムラが発生せず良好な表示が得られた。

なお本発明群の実施の形態では、凹凸の形成方法としては、部分的にパターニング、積層を2回繰り返す方法を用いたが、これはサンドブラスター等により微小なドットを形成したり、蒸着等他の方法により形成しても良いのは勿論である。また、ハーフトーン露光を用いれば1回の露光により高さの異なる膜を形成することも可能である。

更に、凹凸の形状はドット状でも良く、ストライプ状や円状や多角形状等どのようなパターンでも良いのも勿論である。

(第6の発明群)

本発明群は、導電性遮光膜を使用するものである。

25 以下、本発明群の液晶素子をその実施の形態に基づいて説明する。

(第2-6-1の実施の形態)

本実施の形態の液晶素子は、図 6 0 に示すように透明導電膜 1 3 を上部外表面に形成したガラス基板にブラックマトリックスと呼ばれる遮光層 1 2、カラーフィルター 1 1、配向膜 9 を形成したカラーフィルター側基板 2 と、例えばガラス基板上に共通電極 5、絶縁層 8、信号配線 6、画素電極 4、上部第 2 絶縁層 8 1 を具備したインプレインスイッチング (IPS) モードを目的とした薄膜トランジスタ (TFT) 基板 1 (図面では TFT 部分は省略している) との 2 枚の基板で液晶 3 を挟み込んだ構成の液晶素子において、遮光層 1 2 が液晶 3 に直接接する領域 1 2 0 が存在するようにしている。

10 このように液晶が導電性の遮光層と直接接することにより、たとえ液晶中にイオン性不純物が発生し、集中したとしても、この導電性遮光層が液晶中に含まれているイオン性物質と電子の受け渡しを行い、イオン性不純物が非イオン性となる。このため、黒斑点欠陥が発生しなくなる。

15 この導電性の遮光層と液晶が直接接する領域はどの部分にあっても、また個数はどれだけあってもよいが、トータルの接触面積が大きいほど効果が第である。

また、図 6 1 の (1) にカラーフィルター側の基板のみの図面を示すが、赤色カラーフィルター 1 1 1、緑色カラーフィルター 1 1 2、
20 青色カラーフィルター 1 1 3 の境界部分、また遮光層の開口部 1 2 0 同士の間部分、つまり、表示画素の周囲を囲むように遮光層と液晶が接する領域 1 1 5 を配置すると、たとえ不純物イオンが存在したとしても 1 画素内でイオン性不純物の拡散は抑制され、黒斑点欠陥の大きさも 1 画素以下となるためよりよい。また、(2) と (3) に示すよ
25 うに信号線方向若しくは走査線方向にストライプ状に連続して遮光層と液晶層の接する領域を配置すると横方向、縦方向の不純物イオンの

移動が全く発生しないためよい。更に、(4)に示すように画素の周りをすべて遮光層と液晶層の接する領域205で囲むことによって最大の効果を得ることができる。

(第2-6-2の実施の形態)

5 本実施の形態の液晶素子は、遮光層と液晶層の間に配向膜層が存在するものである。すなわち、液晶が配向膜と直接接し、また配向膜が遮光膜と直接接することとなる。

さて、配向膜は通常非常に薄く2000Å以下であるため、配向膜には多くのピンホールが存在している。このため、例えば液晶中に黒
10 斑点欠陥が発生する原因であるイオン性の不純物が存在した時には、配向膜が存在してないときと同様、導電性遮光膜とイオン性不純物の間でイオンの受け渡しが行われる。

また、配向膜、特にIPSモードに用いる配向膜は一般的に極性が大きいためイオン性不純物を吸着しやすい。そのため、一度イオン性
15 不純物が配向膜に吸着してから、導電性遮光膜と電子の受け渡しを行うため、より効率的に不純物イオンを除去することができる。

なお、配向膜を介して遮光層が液晶と接触する領域の形状、配置、面積等は、先の実施の形態と同様であるため再度の説明は省略する。

(第2-6-3の実施の形態)

20 本実施の形態は、オーバーコート層の除去に関する。

以上2つの実施の形態においては、オーバーコート層に関しては全く触れていないが、オーバーコート層が、開口部分等に存在しても良いのは勿論である。しかし、遮光層と液晶層の接する領域、または配向膜を解して遮光層と液晶層が接する領域部分においてはオーバーコ
25 ート層が存在しては効果がない。

そこで、本実施の形態の液晶素子では、オーバーコート層を感光性

の樹脂を用い、遮光層 / オーバーコート層 / 液晶という構造になる部分若しくは遮光層 / オーバーコート層 / 配向膜 / 液晶となる部分のオーバーコート層部分をフォトリソグラフィーによって予め除去するというものである。これによりオーバーコート付のカラーフィルター基板を用いるが、黒白斑点を発生させない液晶素子を製作することができる。

(第2-6-4の実施の形態)

次に、本実施の形態の液晶素子の駆動であるが、導電性の遮光層を共通電極とほぼ同電位に設定している。これにより、遮光層に電位を持たせることによる、画素部からの光漏れ等によるコントラストの低下の防止が図られ、また電位を与えない時よりイオン種が移動しやすくなるためイオンの除去速度が増す。

本実施の形態の液晶素子は、図62に示すように遮光層12若しくはこれから伸びる遮光層とほぼ同電位の配線122と共通電極若しくはこれから伸びるほぼ同電位の配線51がカラーフィルター側基板とTFT側基板の間で少なくとも1つ以上の導電性物質123により電気的に接続されている。このようにすることにより、遮光層の電位をアレイ基板の共通電位と同時に駆動することができ、新たな取り出し配線の増加もなくすむ。導電性物質としては、金属、導電性樹脂等導電性であればどのようなものでもよいが、カーボン等を混入した導電性を持たせた樹脂がもっとも用いやすくよい。

本発明群の各実施の形態の構成を加えることにより、非常に容易に黒斑点欠陥を発生させない液晶素子を作成することができた。

(第7の発明群)

本発明群は、開口部と対向基板のブラックマトリクス等を利用するものである。

(第2-7-1の実施の形態)

図63の(1)には本実施の形態の液晶素子のアレイ側の基板の平面を示す。

図63の(2)はその断面図である。

5 以下、本図に示す液晶素子を説明する。

まず、アレイ側基板の製造であるが、配線を保護するために第2の絶縁膜(パッシベーション膜)81としてSiNxをプラズマCVD法を用いて3500Åの厚さで形成するまでは、第2-4-1の実施の形態と同じである。

10 基板を洗浄した後、レジストをスピナーにより塗布し、マスク露光を行うことにより、第2の絶縁膜(パッシベーション膜)を選択的に形成し、画素部において絶縁膜の一部が形成されていない領域を形成した。具体的には本図63のA-A断面に示すように蓄積容量部4の上の第2の絶縁膜(パッシベーション膜)を形成しないようにした
15 点が相違する。

その後、現像、乾燥を行った後、RIEによりドライエッチングを行った後、レジストを除去するのは、第2-4-1の実施の形態と同じである。

次に、カラーフィルターのついた対向のガラス基板側の導電性ブラックマトリクス部分の一部が配向膜と接する構造にしておき、対向基板側でも発生したイオンを非イオン化できるようにしておいた。
20

導電性のブラックマトリクスの形成方法としては導電性の金属を樹脂中に混合して形成した。

図64に、対向するガラス基板の構成を示す。

25 次に、両基板により液晶パネルを製造する方法、内容、使用する液晶であるが、これらも先の第2-4-1の実施の形態と同じである。

比較例として、（表 2）に示すパネルを作製した。

（表 2）

	アレイ基板側 絶縁膜	対向基板側 電極	対向基板側 絶縁膜	黒点状ムラ の大きさ
本発明	絶縁膜除去あり	あり	絶縁膜除去あり	0.1mm
比較例1	絶縁膜除去なし	なし	—	5mm
比較例2	絶縁膜除去なし	あり	絶縁膜除去なし	5mm
比較例3	絶縁膜除去なし	あり	絶縁膜除去あり	2mm
比較例4	絶縁膜除去あり	なし	—	2mm
比較例5	絶縁膜除去あり	あり	絶縁膜除去なし	2mm

比較例 1 はゲート電位に偏在したイオンを非イオン化するための電
5 極が露出されていないので、黒点状ムラは大きい。

比較例 2 はアレイ基板の絶縁膜は除去されていないが、対向基板側
に非イオン化するためのブラックマトリクスが形成されているために、
黒点状のムラは比較例 1 よりは小さくなるが、まだ不十分である。

比較例 3 はアレイ基板の絶縁膜が除去されているために、ある程度
10 ゲート電位に偏在したイオンを非イオン化できるが、対向基板側に非
イオン化するためのブラックマトリクスが露出されていないために、
黒点状のムラは比較例 1 よりは小さくなるが、まだ不十分である。

本発明ではアレイ基板の絶縁膜が除去されており、かつ対向基板側
にも非イオン化するための電極が形成されているため黒点状のムラが
15 0.1mm 以下と十分小さく抑えることができる。

また本発明と比較例の相違を図 6 5 に示す。

これらのパネルのゲート部分にレーザーを照射して、ゲートの電位
を露出させ、70℃の高温槽の中に入れ、12時間駆動させた後、中
間調を表示させて評価した。

20 対向基板側の中和電極の電位はアレイ基板側の共通電極と同電位に
なるように設定した。

その結果、表 2 に示すように比較例 1 はゲート電位に偏在したイオ

ンを非イオン化するための電極が露出されていないので、黒点状ムラは大きくなってしまう。

比較例 2 はアレイ基板の絶縁膜は除去されていないが、対向基板側に非イオン化するためのブラックマトリクスが形成されているために、
5 黒点状のムラは比較例 1 よりは小さくなるが、まだ不十分である。

比較例 3 はアレイ基板の絶縁膜が除去されているために、ある程度ゲート電位に偏在したイオンを非イオン化できるが、対向基板側に非イオン化するためのブラックマトリクスが露出されていない、あるいは対向基板側の電極が露出されていないために、黒点状のムラは比較
10 例 1 よりは小さくなるが、まだ不十分である。

一方、本実施の形態ではアレイ基板の絶縁膜が除去されており、かつ対向基板側にも非イオン化するための導電性ブラックマトリクスが形成されている、すなわちイオンを回収するための導電性物質が両基板に形成されており、前記導電性物質が配向膜あるいは液晶と直接接
15 しているために黒点状のムラが 0.1 mm 以下と十分小さく抑えることができた。

また表 1 からわかるように液晶の比抵抗を $10^{13} \Omega \cdot \text{cm}$ より小さくすることにより表示の焼き付きのない良好な表示を得ることができた。

20 (第 2 - 7 - 2 の実施の形態)

図 6 6 の (1) に本実施の形態の液晶素子の対向 (ガラス基板) の構成を示す。

先の第 1 の実施の形態では対向基板側のブラックマトリクスを画素の回りを囲む構成としたが、本実施の形態では対向基板側のブラック
25 マトリクスは信号配線 (ソースライン) 6 に沿って構成する。

その他は、先の第 1 の実施の形態と同様である。

このようにすることにより、アレイ基板の絶縁膜が除去されており、かつ対向基板側にも非イオン化するための導電性ブラックマトリクスが形成されている、すなわちイオンを回収するための導電性物質が両基板に形成されており、前記導電性物質が配向膜あるいは液晶と直接接しているために黒点状のムラを小さく抑えることができる。

次に、本実施の形態と先の第1の実施の形態では図63に示すように蓄積容量の上の画素電極上の絶縁膜を除去したが、除去する部分は図67に示すように信号配線電極上や画素電極の上や、それらの電極にまたがるように除去しても良い。

10 また、図68に示すように共通電極を画素電極よりも上に形成するようにし、共通電極の上の絶縁膜の一部を除去しても良い。本図において、16は半導体層、161はドレイン、162は第2の半導体層である。

また、図69に示すように共通電極と画素電極を同一層に形成し、15 その上の絶縁膜の一部を除去しても良い。

また本実施の形態と先の実施の形態では対向基板側に形成するブラックマトリクスとして図64の(1)と図66の(1)に示すような構成にしたが、図66の(2)に示すように走査配線(ゲートライン)に対応する部分にだけ形成しても良く、また図70に示すように島状20 に形成しても良い。

(第2-7-3の実施の形態)

図71に、本実施の形態の液晶素子の構成を示す。

先の第1の実施の形態では、第2の絶縁膜を除去する箇所として蓄積容量の上の一部のみを除去したが、本実施の形態ではスイッチング素子であるTFTの上部にだけ第2の絶縁膜(パッシベーション膜)25 81を形成するようにする(すなわち画素電極の上には絶縁膜を全く

形成しないようにする)。その他は、先の第1の実施の形態と同様である。

また、対向基板側は、図62のように導電性のブラックマトリクスを形成し、導電性のブラックマトリクスが直接配向膜と接するようにする。

図71のようにすることにより、画素電極の上には絶縁膜が全く形成されていないので、先の第1の実施の形態に比較して黒点状ムラの発生を更に抑えることができる。

なお、本実施の形態3においても、対向基板側は図66、図70に示すような形状でも良い。また、アレイ基板側は図72に示すように、走査配線電極上、信号配線電極上、あるいは走査配線電極上と信号配線電極上に絶縁膜を形成しても良い。

(第2-7-4の実施の形態)

図73に、本実施の形態の液晶素子の構成を示す。

さて、先の第3の実施の形態では、ガラス基板1上に走査線7と共通電極5を形成し、その上に第1の絶縁膜を形成し、その上に半導体層、信号線、画素電極を形成したが、本実施の形態ではガラス基板1上に信号線6、ドレイン、画素電極4、半導体層16を形成し、その上に第1の絶縁膜を形成し、その上に走査線6と共通電極5を選択的に形成する。

すなわち、第3の実施の形態では画素電極上の一部に絶縁膜がなく、共通電極上に絶縁膜が形成されていたが、本実施の形態では画素電極上に絶縁膜が形成され、共通電極の上には絶縁膜が形成されていない。

また、アレイ基板側は、図73に示すようにスイッチング素子であるTFTの上部にだけ絶縁膜(バッシベーション膜)を形成する。

なお、対向基板の形成方法は先の第1の実施の形態と同様である。

対向基板側は、図 6 4 に示すように導電性のブラックマトリクスを形成し、導電性のブラックマトリクスが直接配向膜と接するようにする。

このように共通電極上の絶縁膜を除去し、対向基板上に導電性のブラックマトリクスを形成することにより、ゲート電位部に偏在したイオンが画素電極部分に拡散、非イオン化されるために黒点状ムラのない良好な表示品位の液晶素子を得ることができた。

なお本実施の形態においても、対向基板側は図 6 6、図 7 0 に示すような形状でも良く、また、アレイ基板側は図 7 4 に示すように、走査配線電極上、信号配線電極上、走査配線電極上と信号配線電極上に絶縁膜を形成しても良い。

(第 2 - 7 - 5 の実施の形態)

図 7 5 は、本発明の第 2 - 7 - 5 の実施の形態の液晶素子の構成を示す図である。

先の第 3 の実施の形態ではガラス基板上に走査線 7 と共通電極 5 を形成し、その上に第 1 の絶縁膜を形成し、その上に半導体層 1 6、信号線 6、画素電極 4 を形成したが、本実施の形態ではガラス基板 1 上に信号線 6、ドレイン、画素電極 4、半導体層 1 6 を形成し、その上に第 1 の絶縁膜を形成し、その上に走査線 7 と共通電極 5 と画素電極 4 を選択的に形成する。

すなわち本実施の形態では画素電極 4 と共通電極 5 を同一の層に形成する。

なお、アレイ基板側は図 7 5 に示すようにスイッチング素子である T F T の上部にだけ絶縁膜 (パッシベーション膜) を形成する。

対向基板の形成方法は先の第 1 の実施の形態と同様である。すなわち、図 6 4 に示すように導電性のブラックマトリクスを形成し、導電

性のブラックマトリクスが直接配向膜と接するようにする。

このように、画素電極上及び共通電極上の絶縁膜が除去されており、また対向基板上に導電性のブラックマトリクスを形成することにより、ゲート電位部に偏在したイオンが画素電極部分に拡散、非イオン化されるために黒点状ムラのない良好な表示品位の液晶素子を得ることができた。

なお、本実施の形態においても、対向基板側は図 6 6 に示すような形状でも良い。また、アレイ基板側は図 7 6 に示すように、走査配線電極上、信号配線電極上、走査配線電極上と信号配線電極上に絶縁膜を形成しても良い。

(第 2 - 7 - 6 の実施の形態)

図 7 7 に、本第 2 - 7 - 6 の実施の形態の液晶素子の構成を示す。

先の第 1 の実施の形態等では基板間隔を一定に保持するスペーサーとして樹脂球を散布したが、本実施の形態ではカラーフィルター側に突起物 (柱) 6 0 を形成している。それ以外は、他の実施の形態と同様である。

突起物の形成方法としては、感光性アクリル樹脂 (P C 3 3 5 : J S R 製) を用いて以下の方法で行った。

感光性アクリル樹脂 (P C 3 3 5 : J S R 製) をカラーフィルター上にスピンコートにより塗布した後、80℃で1分間プリベークを行った。その後所定のマスクを用いて300mj/cm²で露光を行った。その後現像液 C D 7 0 2 A D にて25℃で1分間現像を行い、流水で洗浄後、220℃で1時間ポストベークを行い (室温より昇温する)、膜厚 5 . 0 μm の突起物 6 0 を形成した。

突起物の形成場所としては、アレイ側の電極が第 1 の絶縁膜、第 2 の絶縁膜で覆われている箇所に形成した。

本発明のように基板間隔を一定に保持するスペーサーとして特定の箇所
に柱を形成することにより、上下基板がショートしにくい箇所を
選んでスペーサーを設置することができるので、両基板に導電性物質
が形成されていてもショートしにくくなる。

- 5 また、ブラックマトリクス、中和電極等に凹凸を形成する場合には、
それらの部分を避けて形成することも可能となる。

また、封口様樹脂の硬化に先立ってその内部の空気等を除去するた
め液晶パネルに加速度を与える際、内部のビーズの移動の発生がな
くなる。

- 10 また、基板間隔を一定に保持するスペーサーは、アレイ基板側に形
成しても良い。勿論、ケースにより、両方の基板に形成しても良い。
更に、多段式の表示装置の場合、各基板に形成しても良い。

(第8の発明群)

本発明群は、発泡剤によるイオン等の吸着、吸収に関する。

- 15 (第2-8-1の実施の形態)

本実施の形態は、中和電極上に、発泡剤による微小なスポンジ状の
樹脂層を形成するものである。図78に、その製造、形成の要部を示
す。以下本図を参照しつつ、本実施の形態の技術内容を説明する。

- 1) 中和電極30上に、フィルタを使用する等して発泡剤層91を塗
20 布等で形成する。この発泡剤は、ベースとなるゴムや樹脂中に混入し
ておき、加熱分解させて窒素、炭酸ガス等を発生させることにより、
ベースに直径2、3 μ m等の微小な泡構造を形成するものである。具
体的には、アゾジカルボンアミド、N、N-ジニトロソペンタメチレ
ンテトラミン、ベンゼンスルホンヒドラジド、炭酸水素ナトリウム
25 等がある。

2) 発泡剤を加熱分解させて、ベースの配向膜剤を多孔質にする。

2 - 1) 必要に応じて配向性を付与する。

3) 液晶表示装置の使用時に、その泡構造による広い表面積と中和電極を介しての電荷で、液晶中のイオンや不純物等の回収を行なう。

(その他の実施の形態)

5 以上、本発明を2つの大発明群、更に幾つかの発明群に分けて説明する際、液晶素子として透明型の液晶表示装置を例にとって説明してきたが、何もこれに限定されるのではない。すなわち、例えば、以下のようにしても良い。

1) 図79に示すように、反射型の液晶表示装置としている。本図において、91は鏡であり、92は透明絶縁膜である。また、TF T 16等は、透明絶縁膜上に(本図)あるいは対向する基板側(図示せず)に形成されている。

2) 遮光層(膜)は、カラーフィルター間に在ることとなるブラックマトリクスでなく、TF Tの光による誤操作防止等をも兼ねた保護膜である。なおこの場合、遮光層の凹凸は、本来の(画素間の)ブラックマトリクスとの寸法、大きさの如何にも依るが、遮光膜の液晶側面のみならずその側面に設けても良い。

3) 図80に示すように、液晶光学素子である。近年、図80に示すように、入射光790に対してその演算結果を透過光791として出力する光論理素子792が開発されている。これは、光コンピュータへの応用に際して高いコントラスト比が要求されるが、横電界型液晶を採用した素子での表示特性を改善することにより、高い信頼性が得られた。

4) 図81に示すように、ELディスプレイである。本図において、911は、ガラス基板である。912は、薄膜トランジスタである。913は、絶縁層である。914は、配線電極である。915は、陰

極である。917は、有機EL層である。918は、陽極である。920は、支持柱である。921は、カラーフィルターである。922は、蛍光変換層である。923は、透明板である。ただし、この原理等は周知技術なので、その説明は省略する。

5 5) 図82に示す様に、液晶のパネル内への注入後の封口に、嫌気性樹脂2021と機械的手段とを併用している。本図の1)は、パネルの液晶注入用の樹脂製の細孔部212内に、嫌気性樹脂2021を反液晶側に塗布した栓211や外周部に塗布した板2110を押圧で押し込んだり等するものである。2)は、パネルの液晶注入用の雌ねじ214に、頭部側に嫌気性樹脂2021を塗布した雄ねじをねじ込むものである。更に、この樹脂は、押圧手段で硬化するタイプであり、これにより液晶注入部の封止の時期を調整可能としている。

10 6) 図83に示す様に、中和電極に印加する電圧を種々のもの、タイプとしている。本図の1)は、ゲートと同じ電圧である。このため、略マイナス電圧となる。2)は、単にゲート信号線あるいはソース信号線と接続されるだけでなく、液晶のチャージアップ防止のため両信号線の電圧を表示周期毎に交互に変化させてもプラスあるいはマイナスの電荷のみ有する様ダイオードに接続されている。また、その液晶側表面には、発泡剤を使用した配向膜91が形成されている。

20 以上、本発明を幾つかのその実施の形態に基づいて説明してきたが、本発明は何もこれらに限定されないのは勿論である。即ち、例えば以下の様にしても良い。

1) 液晶として、ネマティック液晶でなく、例えば強誘電性液晶や反強誘電性液晶等の他の種類の液晶としている。

25 2) 配向方法として、ラビングを用いない方法(例えば光により配向させる方法)を用い、あるいは併用して、更に均一な配向を得、コン

トラストの改良を図っている。

3) 能動素子として3端子素子のTFTでなく、2端子素子のMIM (Metal-Insulator-Metal)、ZnOバリスタやSiNxダイオード、a-Siダイオード等としている。

5 4) トランジスタとしてはボトムゲート構造及びトップゲート構造のアモルファスシリコン (a-Si) 以外のもの、例えば、ポリシリコン (p-Si) 等としている。

5) TFTの構造は、チャネル保護型でなくチャネルエッチ型としている。

10 6) 基板周辺に駆動回路を形成している。

7) 基板の一方あるいは両方をフィルムやプラスチック等としている。

8) アレイ基板側にカラーフィルターを形成した基板としている。

9) 画素電極、共通電極、対向側の中和電極としてAlでなくCrやCu等他の金属、あるいはITO (酸化スズを混入した酸化インジウム膜) などの透明電極を用いている。

10) 対向側の中和電極をITO等の透明電極で形成し、ブラックマトリクス以外の場所に中和電極を形成し、これにより開口率の向上を図っている。

11) 対向側の中和電極の形成箇所として、ブラックマトリクス部に
20 ブラックマトリクスとは別に形成している。

12) 対向基板側に導電性のカラーフィルターを用いて、対向基板側の中和電極を対向基板側のカラーフィルターと兼ねるようにしている。

13) セル厚形成方法として、スパーサー散布法ではない方法 (例えば樹脂により柱を形成する方法) を用いて均一なセル厚を形成して
25 いる。

14) 反射型液晶パネルとして、絶縁膜あるいは配向膜として着色さ

れたものを用いてもいる。

15) ブラックマトリクスやカラーフィルターは、顔料法、印刷法、染色法、電着法、インクジェット法、フィルム転写法等の方法で形成されている。

5 16) 発泡剤による細胞構造は、セルの寸法はより小さかったり、連続していたりしている。

17) 記述の如く、液晶のチャージアップ防止のため、画素電極と共通電極にかける電圧のプラス、マイナスの関係は所定期間毎に反転可能とし、これに併せて中和電極にかかる電圧も調整、制御可能として
10 いる。

産業上の利用可能性

以上の説明で判るように、第1の大発明群によれば、液晶の注入口を封止する樹脂部分に、異物や気泡が無い、発生しなくなるため、細心の注意を払ってかつ多方向から紫外線を照射しなくても、紫外線硬化樹脂の未硬化部分がなくなる。そのため液晶中への未硬化の樹脂の成分の拡散がなくなる。その結果、液晶素子の初期特性及び長期信頼性が飛躍的に向上する。
15

第2の大発明群によれば、導電物質からなる層と液晶層との間に介在する電極上の配向膜と絶縁層等の第3の層の総膜厚が500Åより薄い領域を設けることで、従来生じていた、液晶中のイオン種の集中による黒斑点欠陥をほぼなくすることができ、製造歩留まりが向上する。
20

同じく、中和電極を設けることによって、レーザーリペアを行ったときやゲート信号配線上の絶縁層にピンホール等の欠損が存在するときでも黒点むらが発生しなくなる。
25

同じく、画素電極、共通電極、信号配線電極の少なくとも1の電極

の上の少なくとも一部分に絶縁膜の形成されていない箇所があり、当該部分により電極が配向膜のみを介して、あるいは直接液晶に接しており、更に画素電極等が形成されていない基板側に絶縁膜の形成されていない箇所を有する中和電極が形成されており、このためゲート電
5 位部に偏在したイオンが非イオン化されるために表示ムラが発生しなくなる。

同じく、画素電極及び対向電極が同一層になく、上部側となる一方の電極の上には絶縁膜を形成しないことにより、ゲート電位部に偏在したイオンが画素電極部分に拡散し、非イオン化されるため、表示ム
10 ラのない良好な表示品位の液晶素子となる。

同じく、画素電極が形成されていない基板側のブラックマトリクス
の表面に凹凸構造を形成して表面積を大にし、これにより、ゲート電
位部に偏在したイオンを非イオン化するため、黒点状ムラの発生を抑
えることができる。特にブラックマトリクスの表面に凹凸が形成する
15 と、イオンを回収する表面積が大きく、十分な効果を得ることができる。

また、遮光層が直接若しくは配向膜を介して液晶に接する構成に
することにより、液晶中のイオン性不純物が遮光層から回収され、黒斑
点欠陥が全く発生しなくなる。

20 また、イオンを回収するための電極を両基板に形成することにより、
ゲート電位部に偏在したイオンが非イオン化されるために表示ムラの
発生が防止される。

請 求 の 範 囲

1. 上下を2枚の基板で、周囲を壁で囲まれた空間内に液晶を挟持した液晶素子の製造方法であって、

上記空間内に液晶を注入後、注入口の封止のために、40℃以上の
5 所定の温度では粘度が20 Pa・s以下となる、そして紫外線等の電磁波で硬化する樹脂を用いて塗布する低粘度樹脂塗布ステップと、

塗布した樹脂を20 Pa・s以下の粘度とし、併せてその内部に含まれている水分、空気、塵埃等の化学的異物を除去する異物除去ステップと、

10 該異物除去ステップの後か若しくは共に紫外線等の電磁波を照射して樹脂を硬化させる低粘度紫外線硬化樹脂封入ステップを有していることを特徴とする液晶素子の製造方法。

2. 前記異物除去ステップは、

上記封止用の樹脂に所定の振動を与える振動小ステップを有している
15 ることを特徴とする請求項1記載の液晶素子の製造方法。

3. 前記振動ステップは、

上記封止用の樹脂に与える振動として超音波若しくはメガソニックを用いる超音波メガソニック照射振動小ステップであることを特徴とする請求項2に記載の液晶素子の製造方法。

20 4. 前記異物除去ステップは、

前記低粘度樹脂塗布ステップ時若しくはその後に、固体に注入口部の樹脂を接触させて拭き取り、これにより内部に気泡の混入している部分を除去する気泡部除去小ステップと、

再度樹脂を塗布する再塗布小ステップとを有していることを特徴とする請求項1に記載の液晶素子の製造方法。
25

5. 前記異物除去ステップは、

前記低粘度樹脂塗布ステップ時若しくはその後に、塗布した封止用の樹脂を少なくとも大気圧より低い圧に晒す低圧ステップを有していることを特徴とする請求項 1 に記載の液晶素子の製造方法。

6. 前記異物除去ステップは、

5 前記低粘度樹脂塗布ステップ後に、樹脂に反液晶側への加速度を与える加速ステップを有していることを特徴とする請求項 1 に記載の液晶素子の製造方法。

7. 前記異物除去ステップは、

10 上記塗布した封止用樹脂を加熱により低粘度化するため、赤外線を照射する赤外線照射小ステップを有していることを特徴とする請求項 1 から請求項 6 のいずれかに記載の液晶素子の製造方法。

8. 上下を 2 枚の基板で、周囲を壁で囲まれた空間内に、液晶が保持されてなる液晶素子であって、

15 上記空間内に液晶を充たした後封止する部分に、非硬化時には、40℃以上の所定の温度ではその粘度が20Pa・s以下であった電磁波硬化性の樹脂を使用有しており、かつ硬化した樹脂中には、水分、空気、塵埃等の光学的異物を有していないことを特徴とする液晶素子。

9. 前記電磁波硬化性樹脂は、

紫外線硬化性樹脂であることを特徴とする請求項 8 に記載の液晶素子。

20 10. 前記電磁波硬化性樹脂は、

嫌気性樹脂であることを特徴とする請求項 8 に記載の液晶素子。

11. 前記電磁波硬化性樹脂は、

50℃以上の温度で20Pa・s以下に軟化する性質の樹脂であることを特徴とする請求項 8 ～請求項 10 のいずれかに記載の液晶素子。

25 12. 上下を 2 枚の基板で、周囲を壁で囲まれた空間内に、液晶が保持されてなる液晶素子であって、

上記空間内に液晶を充たした後封止する部分に、嫌気性の樹脂を使用していることを特徴とする液晶素子。

13. 一方の基板に画素電極が、他方の基板に共通電極が形成され、両電極間での電圧の印加により両基板の内面側に配向膜を介して挟持されている液晶層の分子配列を変化させる液晶素子において、

いずれか一方若しくは両方の基板に、液晶層中のイオンの電荷を中和する中和電極を有していることを特徴とする液晶素子。

14. 一方の基板に画素電極と共通電極が形成され、両電極間での電圧の印加により両基板の内面側に配向膜を介して挟持されている液晶層の分子配列を変化させる液晶素子において、

いずれか一方若しくは両方の基板に、液晶層中のイオンの電荷を中和する中和電極を有していることを特徴とする液晶素子。

15. 一方の基板に画素電極と共通電極が形成され、他方の基板に対向電極が形成され、上記3つの電極間に所定の電圧の印加することにより両基板の内面側に配向膜を介して挟持されている液晶層の分子配列を変化させる液晶素子において、

いずれか一方若しくは両方の基板に、液晶層中のイオンの電荷を中和する中和電極を有していることを特徴とする液晶素子。

16. 前記中和電極は、
導電性物質からなり、そして遮光膜を兼用する導電遮光性中和電極であることを特徴とする請求項13から請求項15のいずれかに記載の液晶素子。

17. 前記中和電極は、
液晶層と、直接接するか又は配向膜を介して接する、1000以下の薄膜を介して接する若しくはイオンを透過する膜を介して接するのいずれかであることを特徴とする請求項13～15のいずれかに記

載の液晶素子。

18. 前記中和電極は、

液晶層と、直接接するか又は配向膜を介して接する、1000・以下の薄膜を介して接する若しくはイオンを透過する膜を介して接する
5 のいずれかであることを特徴とする請求項16に記載の液晶素子。

19. 少なくとも一方に画素電極、共通電極、信号配線、走査配線が形成された一对の基板と、両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有する横電界方式の液晶素子において、

上記画素電極等が形成されていない基板側にその液晶層側の表面が
10 凹凸の構造の遮光膜を有していることを特徴とする横電界方式の液晶素子。

20. 少なくとも一方に画素電極、共通電極、信号配線、走査配線が形成された一对の基板と、両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有する横電界方式の液晶素子において、

15 上記画素電極等が形成されている基板側にその液晶層側の表面が凹凸の構造の遮光膜を有していることを特徴とする横電界方式の液晶素子。

21. 少なくとも一方に画素電極、共通電極、信号配線、走査配線が形成された一对の基板と、両基板の内面側に設けられた配向膜を介して挟持された液晶とを有する横電界方式の液晶素子において、
20

上記画素電極等が形成されていない基板側にその液晶層側の表面が凹凸の構造の中和電極を有していることを特徴とする横電界方式の液晶素子。

22. 少なくとも一方に画素電極、共通電極、信号配線、走査配線
25 が形成された一对の基板と、両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有する横電界方式の液晶素子において、

上記画素電極等が形成されている基板側にその液晶層側の表面が凹凸の構造の中和電極を有していることを特徴とする横電界方式の液晶素子。

23. 少なくとも一方に画素電極、共通電極、信号配線、走査配線が形成された一对の基板と、画素電極に対向する対向電極が形成された対向基板と、両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有し、画素電極、共通電極及び対向電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、

上記対向電極は、その表面が凹凸の構造を有していることを特徴とする液晶素子。

24. 少なくとも一方に画素電極、共通電極、信号配線、走査配線が形成された一对の基板と、画素電極に対向する対向電極が形成された対向基板と、両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有し、画素電極、共通電極及び対向電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、

上記画素電極等が形成されていない対向基板側にその液晶層側の表面が凹凸の構造の遮光膜を有していることを特徴とする液晶素子。

25. 少なくとも一方に画素電極、共通電極、信号配線、走査配線が形成された一对の基板と、画素電極に対向する対向電極が形成された対向基板と、両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有し、画素電極、共通電極及び対向電極の間に電圧を印加して液晶分子の配列を変化させる液晶素子において、

上記画素電極等が形成されている基板側にその液晶層側の表面が凹凸の構造の遮光膜を有していることを特徴とする液晶素子。

26. 前記遮光膜は、

導電性物質からなる導電性遮光膜であることを特徴とする請求項1

9、請求項20、請求項24若しくは請求項25に記載の横電界方式の液晶素子。

27. 上記液晶層は、

5 その比抵抗が $10^{13} \Omega \cdot \text{cm}$ よりも小さい液晶を使用する低比抵抗液晶層であることを特徴とする請求項19～請求項25のいずれかに記載の横電界方式の液晶素子若しくは液晶素子。

28. 上記液晶層は、

10 その比抵抗が $10^{13} \Omega \cdot \text{cm}$ よりも小さい液晶を使用する低比抵抗液晶層であることを特徴とする請求項26に記載の横電界方式の液晶素子若しくは液晶素子。

29. 横電界方式で液晶を駆動する表示装置に使用されるカラーフィルターにおいて、

遮光膜部の液晶層側の表面が凹凸の構造を有していることを特徴とするカラーフィルター。

15 30. 前記遮光膜は、

その凹凸構造の凹部と凸部の差が $0.1 \mu\text{m}$ 以上であることを特徴とする請求項19、請求項20、請求項24若しくは請求項25に記載の液晶素子。

31. 前記遮光膜は、

20 その凹凸構造の凹部と凸部の差が $0.3 \mu\text{m}$ 以上であることを特徴とする請求項19、請求項20、請求項24若しくは請求項25に記載の液晶素子。

32. 前記遮光膜は、

25 その凹凸構造の凹部と凸部の差が $0.3 \mu\text{m}$ 以上であることを特徴とする請求項26に記載の液晶素子。

33. 前記遮光膜は、

その凹凸構造の凹部と凸部の差が $0.3 \mu\text{m}$ 以上であることを特徴とする請求項 27 に記載の液晶素子。

34. 前記中和電極は、

5 その凹凸構造の凹部と凸部の差が $0.1 \mu\text{m}$ 以上であることを特徴とする請求項 21 若しくは請求項 22 に記載の液晶素子。

35. 前記遮光膜は、

その凹凸構造の凹部と凸部の差が $0.3 \mu\text{m}$ 以上であることを特徴とする請求項 27 に記載の液晶素子。

36. 前記遮光膜は、

10 配向膜を介して若しくは直接液晶と接していることを特徴とする請求項 19、請求項 20、請求項 24 若しくは請求項 25 に記載の液晶素子。

37. 前記遮光膜は、

15 配向膜を介して若しくは直接液晶と接していることを特徴とする請求項 23 に記載の液晶素子。

38. 前記遮光膜は、

配向膜を介して若しくは直接液晶と接していることを特徴とする請求項 24 に記載の液晶素子。

39. 前記中和電極は、

20 配向膜を介して若しくは直接液晶と接していることを特徴とする請求項 21 若しくは請求項 22 に記載の液晶素子。

40. 前記中和電極は、

配向膜を介して若しくは直接液晶と接していることを特徴とする請求項 27 に記載の液晶素子。

25 41. 少くも一方に、マトリックス状に配置されたソース信号配線及びゲート信号配線、該両信号配線の各交差点部のスイッチング素子

とこれに接続された画素電極、これに対峙する共通電極並びにそれら各部の絶縁等をなす絶縁層を有する一対の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子において、

- 5 ゲートと所定の関係の電圧を保持する電極を有していることを特徴とする液晶素子。

4 2 . 少くも一方に、マトリックス状に配置されたソース信号配線及びゲート信号配線、該両信号配線の各交差点部のスイッチング素子とこれに接続された画素電極、これに対峙する共通電極並びにそれら
10 各部の絶縁等をなす絶縁層を有する一対の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子において、

画素電極と所定の関係の電圧を保持する電極を有していることを特徴とする液晶素子。

- 15 4 3 . 少くも一方に、マトリックス状に配置されたソース信号配線及びゲート信号配線、該両信号配線の各交差点部のスイッチング素子とこれに接続された画素電極、これに対峙する共通電極並びにそれら各部の絶縁等をなす絶縁層を有する一対の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横
20 電界方式の液晶素子において、

対向電極と所定の関係の電圧を保持し、更に少なくともその一部が上記液晶層に直接又は配向膜、 1000 \AA 以下の薄膜若しくはイオンを透過する膜のいずれかを介して接する電極を有していることを特徴とする液晶素子。

- 25 4 4 . 少くも一方に、マトリックス状に配置されたソース信号配線及びゲート信号配線、該両信号配線の各交差点部のスイッチング素子

とこれに接続された画素電極、これに対峙する共通電極並びにそれら各部の絶縁等をなす絶縁層を有する一対の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子において、

- 5 走査信号線若しくはゲート信号線の少くも一方と所定の関係の電圧を保持する電極を有していることを特徴とする液晶素子。

45. 少なくとも一方に導電層としてソース及びゲート信号配線並びに横電界を発生させるための画素電極と共通電極とを有し、更にこれら導電層相互の絶縁等をなす絶縁膜を有する一対の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子において、
- 10

上記導電層と液晶層との間に介在する絶縁膜、配向膜等からなる第3の層を形成する膜は、その膜厚の合計が1000 Åより少ない薄膜化領域を有していることを特徴とする液晶素子。

- 15 46. 前記薄膜化領域は、

配向膜と絶縁層との少なくとも一方の上に在ることを特徴とする請求項45に記載の液晶素子。

47. 前記薄膜化領域は、

- 20 配向膜若しくは保護膜上にあり、当該配向膜若しくは保護膜は、導電性物質からなることを特徴とする請求項45に記載の液晶素子。

48. 前記薄膜化領域は、

上記画素電極、共通電極若しくは信号配線上に位置していることを特徴とする請求項45、請求項46若しくは請求項47に記載の液晶素子。

- 25 49. 上記液晶素子は、導電性遮光膜を有し、更に、前記薄膜化領域は、

導電性遮光膜上に位置していることを特徴とする請求項 4 5、請求項 4 6 若しくは請求項 4 7 に記載の液晶素子。

5 0 . 前記薄膜化領域は、

上記画素電極等の形成された基板に対向する基板に形成されていること
5 とを特徴とする請求項 4 9 に記載の液晶素子。

5 1 . 少なくとも一方に導電層として信号配線、蓄積容量電極及び横電界を発生させるための画素電極と共通電極とを有し、更にこれら導電層相互の絶縁等とをなす絶縁膜を有する一对の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを
10 有する横電界方式の液晶素子において、

上記導電層と液晶層との間に介在する絶縁膜、配向膜等からなる第 3 の層を形成する膜は、所定位置では配向膜のみ存在するか、1 0 0 0 Å 以下の薄膜であるか、イオン透過性の膜であるか、そもそも形成されていないかであることを特徴とする液晶素子。

15 5 2 . 上記液晶層と上記導電層とが直接接触することとなる所定位置は、

画素電極、共通電極、蓄積容量電極若しくは信号配線上であることを特徴とする請求項 5 1 に記載の液晶素子。

5 3 . 上記液晶素子は導電性遮光膜を有し、更に、

20 上記液晶層と上記導電層とが直接接触することとなる所定位置は、
上記導電性遮光膜上であることを特徴とする請求項 5 1 に記載の液晶素子。

5 4 . 前記薄膜化領域は、

上記画素電極等の形成された基板に対向する基板に形成されていること
25 とを特徴とする請求項 5 3 に記載の液晶素子。

5 5 . 一方の基板に画素電極と該画素電極と同一層上にない対向電

極と信号配線とこれら相互の絶縁等をなす絶縁膜とを有する一对の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持されている液晶層とを有する横電界方式の液晶素子において、

上記画素電極若しくは対向電極の一方には絶縁膜が形成され、他方
5 には全く形成されていないことを特徴とする液晶素子。

56. 上記液晶素子は、

ラビング方向に沿って絶縁膜が形成されていることを特徴とする請求項55記載の液晶素子。

57. 上記液晶素子は、

10 その比抵抗が $10^{13} \Omega \cdot \text{cm}$ よりも小さい液晶を使用する低比抵抗液晶層であることを特徴とする請求項45～請求項47、請求項51～請求項53、請求項55若しくは請求項56のいずれかに記載の液晶素子。

58. 上記液晶素子は、

15 その比抵抗が $10^{13} \Omega \cdot \text{cm}$ よりも小さい液晶を使用する低比抵抗液晶層であることを特徴とする請求項50に記載の液晶素子。

59. 上記液晶素子は、

その比抵抗が $10^{13} \Omega \cdot \text{cm}$ よりも小さい液晶を使用する低比抵抗液晶層であることを特徴とする請求項54に記載の液晶素子。

20 60. 一方に画素電極と共通電極及び両電極に対応しての信号線と走査線並びに絶縁層が形成された一对の基板と、両基板の内面側に設けられた配向膜を介して液晶を挟持した横電界方式の液晶素子において、

他方の基板に、上記液晶層と接した導電性の遮光膜を有していること
25 とを特徴とする横電界方式の液晶素子。

61. 一方に画素電極と共通電極及び両電極に対応しての信号線と

走査線並びに絶縁層が形成された一対の基板と、両基板の内面側に設けられた配向膜を介して液晶を挟持した横電界方式の液晶素子において、

他方の基板に、上記信号線方向若しくは走査線方向にのび、かつストライプ状に液晶層と接している領域が存在する遮光膜を有していることを特徴とする横電界方式の液晶素子。

62. 一方に画素電極と共通電極及び両電極に対応しての信号線と走査線並びに絶縁層が形成された一対の基板と、両基板の内面側に設けられた配向膜を介して液晶を挟持した横電界方式の液晶素子において、

他方の基板に、信号線方向及び走査線方向にのび、かつ格子状に液晶層と接している領域が存在するそして導電性の遮光膜を有していることを特徴とする横電界方式の液晶素子。

63. 一方に画素電極と共通電極及び両電極に対応しての信号線と走査線並びに絶縁層が形成された一対の基板と、両基板の内面側に設けられた配向膜を介して液晶を挟持した横電界方式の液晶素子において、

他方の基板に、配向膜を介して液晶層と接する導電性の遮光膜を有していることを特徴とする横電界方式の液晶素子。

64. 一方に画素電極と共通電極及び両電極に対応しての信号線と走査線並びに絶縁層が形成された一対の基板と、両基板の内面側に設けられた配向膜を介して液晶を挟持した横電界方式の液晶素子において、

他方の基板に、上記信号線方向若しくは走査線方向にのび、かつストライプ状に配向膜を介して液晶層と接する領域が存在するそして導電性の遮光膜を有していることを特徴とする横電界方式の液晶素子。

65. 一方に画素電極及び共通電極及び両電極に対応しての信号線と走査線が形成された一对の基板間に、両基板の内面側に設けられた配向膜を介して液晶を挟持した横電界方式の液晶素子において、

5 他方の基板に、上記信号線方向及び走査線方向にのび、かつ液晶層と1000・の薄膜層若しくはイオン透過性の膜を介して接した領域が格子状に存在する導電性の遮光膜を有していることを特徴とする横電界方式の液晶素子。

66. 前記導電性の遮光膜は、

その導電部がCr、Ti若しくは導電性の樹脂からなることを特徴
10 とする請求項60～請求項65のいずれかに記載の横電界方式の液晶素子。

67. 前記導電性の遮光膜は、

導電性の樹脂製遮光膜であることを特徴とする請求項60～請求項
65のいずれかに記載の横電界方式の液晶素子。

15 68. 前記液晶素子の基板間隔を一定に保持するスペーサーとして特定の箇所に柱を形成することを特徴とする請求項66に記載の液晶素子。

69. 少なくとも一方に、画素電極、共通電極、信号配線、走査配線並びにそれら各部の絶縁等をなす絶縁膜を有する一对の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有する横電界方式の液晶素子において、
20

上記画素電極、共通電極、信号配線の少なくとも1は、その液晶側の少なくとも一部分に絶縁膜が形成されておらず、このため当該電極若しくは配線は配向膜のみを介して若しくは直接液晶に接する絶縁膜開口電極であり、
25

上記画素電極及び共通電極が形成されていない基板側に液晶層との

絶縁膜が全く形成されていないか、少くも一部に形成されていない箇所があることにより液晶層中のイオンの電荷を中和する中和電極を有していることを特徴とする液晶素子。

70. 少なくとも一方に画素電極、共通電極、信号配線、走査配線並びにそれら各部の絶縁等をなす絶縁膜を有する一对の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有する横電界方式の液晶素子において、

上記画素電極は、絶縁膜が全く形成されておらず、このため当該部に画素電極が配向膜のみを介して若しくは直接液晶に接する開口画素電極であり、

更に、上記画素電極等が形成されていない基板側に液晶層との絶縁膜が全く形成されていないか、少くも一部に形成されていない箇所があることにより液晶層中のイオンの電荷を中和する中和電極を有していることを特徴とする液晶素子。

71. 少なくとも一方に画素電極、共通電極、信号配線、走査配線並びにそれら各部の絶縁等をなす絶縁膜を有する一对の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有する横電界方式の液晶素子において、

上記共通電極は絶縁膜が全く形成されておらず、このため当該部に画素電極が配向膜のみを介して若しくは直接液晶に接する開口共通電極であり、

更に、上記共通電極等が形成されていない基板側に液晶層との絶縁膜が全く形成されていないか、少くも一部に形成されていない箇所があることにより液晶層中のイオンの電荷を中和する中和電極を有していることを特徴とする液晶素子。

72. 少なくとも一方に画素電極、共通電極、信号配線、走査配線

並びにそれら各部の絶縁等をなす絶縁膜を有する一対の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持された液晶層とを有する横電界方式の液晶素子において、

上記画素電極及び共通電極は各々、その液晶層との絶縁膜が全く形成されておらず、このため当該部分にて配向膜のみを介してあるいは直接液晶に接する開口画素電極、開口共通電極であり、

更に、上記画素電極及び共通電極が形成されていない基板側に液晶層との絶縁膜が全く形成されていないか、少くも一部に形成されていない箇所があることにより液晶層中のイオンの電荷を中和する中和電極を有していることを特徴とする液晶素子。

73. 上記液晶素子の液晶層は、その比抵抗が $10^{13} \Omega \cdot \text{cm}$ よりも小さい液晶を使用する低比抵抗液晶層であることを特徴とする請求項69～請求項72のいずれかに記載の液晶素子。

74. 前記中和電極に走査配線の最小の電圧レベルに対し正の電位を印加する正電位印加手段を有していることを特徴とする請求項69～請求項72のいずれかに記載の液晶素子。

75. 前記中和電極は、

上記共通電極と同電位に設定されている同電位中和電極であることを特徴とする請求項69～請求項72のいずれかに記載の液晶素子。

76. 前記中和電極は、

遮光膜と兼用の遮光膜兼用中和電極であることを特徴とする請求項69～請求項72のいずれかに記載の液晶素子。

77. 前記中和電極は、

カラーフィルターと兼用のカラーフィルター兼用中和電極であることを特徴とする請求項69～請求項72のいずれかに記載の液晶素子。

78. 上記画素電極、共通電極、信号配線のいずれかが、その上部

に絶縁膜が形成されていないため、当該部は配向膜のみを介している部分の配向膜は、

導電性物質からなる配向膜であることを特徴とする請求項 6 9 ～ 請求項 7 2 のいずれかに記載の液晶とする。

5 7 9 . 前記中和電極に走査配線の最小の電圧レベルに対し正の電位を印加する正電位印加手段を有していることを特徴とする請求項 7 6 に記載の液晶素子。

 8 0 . 前記中和電極に走査配線の最小の電圧レベルに対し正の電位を印加する正電位印加手段を有していることを特徴とする請求項 7 7
10 に記載の液晶素子。

 8 1 . 前記中和電極は、

 上記共通電極と同電位に設定されている同電位中和電極であることを特徴とする請求項 7 6 に記載の液晶素子。

 8 2 . 前記中和電極は、

15 上記共通電極と同電位に設定されている同電位中和電極であることを特徴とする請求項 7 7 に記載の液晶素子。

 8 3 . 少なくとも一方に横電界を発生させる画素電極と共通電極とこれら相互の絶縁等をなす絶縁膜とを有する一対の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを
20 有する横電界方式の液晶素子の製造方法において、

 両基板の内面側に一旦形成した配向膜の所定部を除去する配向膜除去ステップを有していることを特徴とする液晶素子の製造方法。

 8 4 . 少なくとも一方に横電界を発生させる画素電極と共通電極とこれら相互の絶縁膜等をなす絶縁膜を有する一対の基板と、原則として
25 両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子の製造方法において、

両基板の内面側に一旦形成された配向膜の所定部をエッチングにて除去する配向膜除去ステップと、

残った配向膜に、配向処理をする配向ステップとを有していることを特徴とする液晶素子の製造方法。

- 5 85. 少なくとも一方に横電界を発生させる画素電極と共通電極とこれら相互の絶縁膜等をなす絶縁膜を有する一对の基板と、原則として両基板の内面側に設けられた配向膜を介して挟持される液晶層とを有する横電界方式の液晶素子の製造方法において、

- 10 両基板の内面側に一旦形成された電極若しくは配線上の配向膜の所定部をラビングにて剥離する剥離ステップを有していることを特徴とする液晶素子の製造方法。

86. 前記剥離ステップは、

- 15 ラビング時における押し込み量を0.5mm以上の押圧ラビング剥離ステップであることを特徴とする請求項85に記載の液晶素子の製造方法。

87. 一方に画素電極と共通電極及び両電極に対応しての信号線と走査線並びに絶縁層が形成された一对の基板と、両基板の内面側に設けられた配向膜を介して液晶を挟持した横電界方式の液晶素子において、

- 20 他方の基板に形成された導電性の遮光膜と、

該遮光膜と上記共通電極、画素電極、走査線若しくは信号配線とを電氣的に接続する電氣的接続部とを有していることを特徴とする横電界方式の液晶素子。

- 25 88. 一方に画素電極と共通電極及び両電極に対応しての信号線と走査線並びに絶縁層が形成された一对の基板と、両基板の内面側に設けられた配向膜を介して液晶を挟持した横電界方式の液晶素子におい

て、

他方の基板の所定位置に導電性物質からなる遮光膜を形成する遮光膜形成ステップと、

上記遮光膜のオーバーコート層の材料として感光性材料を選択する
5 オーバーコート層材料選択ステップと、

選択された感光性材料でオーバーコート層を形成するオーバーコート層形成ステップと、

前記導電性の遮光膜上のオーバーコート材料層を該遮光膜上でオーバーコート層が存在しない領域が有るようにフォトリソグラフィーを
10 使用して形成するフォトリソグラフィ利用オーバーコート層部分剥がし部形成ステップとを有していることを特徴とする横電界方式の液晶素子の製造方法。

89. 形成された導電性の遮光膜に上記共通電極と同じ電位の電位を与えることとなる電氣的接続部を形成する同電位用導電部形成ステップを有していることを特徴とする請求項88記載の横電界方式の液晶素子の製造方法。
15

90. 横電界方式の液晶素子の製造方法であって、

第1の基板に金属層よりなりトランジスタのゲートを兼ねる走査線と対向電極を所定位置に形成する第1導電層形成ステップと、

上記形成された走査線と対向電極の上に第1の絶縁膜を形成する第1絶縁膜形成ステップと、
20

半導体層を所定位置に形成する半導体層形成ステップと、

信号線と画素電極を所定位置に形成する第2導電層形成ステップと、

第2の絶縁膜を、上記所定位置に形成された半導体層からなるスイッチング素子の上にだけ形成する第2絶縁膜形成ステップとを有していることを特徴とする横電界方式の液晶素子の製造方法であって、電
25

界方式の液晶素子の製造方法。

9 1 . 横電界方式の液晶素子の製造方法であって、

第 1 の基板に金属層よりなりトランジスタのゲートを兼ねる走査線と対向電極を所定位置に形成する第 1 導電層形成ステップと、

5 上記形成された走査線と対向電極の上に第 1 の絶縁膜を形成する第 1 絶縁膜形成ステップと、

半導体層を所定位置に形成する半導体形成ステップと、

信号線と画素電極を所定位置に形成する第 2 導電層形成ステップと、

10 第 2 の絶縁膜を所定位置に形成された半導体層からなるスイッチング素子の上と上記信号線の上にだけ形成する第 2 絶縁膜形成ステップとを有していることを特徴とする横電界方式の液晶素子の製造方法。

9 2 . 横電界方式の液晶素子の製造方法であって、

第 1 の基板に金属層よりなりトランジスタのゲートを兼ねる走査線と対向電極を所定位置に形成する第 1 導電層形成ステップと、

15 上記形成された走査線と対向電極の上に第 1 の絶縁膜を形成する第 1 絶縁膜形成ステップと、

半導体層を所定位置に形成する半導体形成ステップと、

信号線と画素電極を所定位置に形成する第 2 導電層形成ステップと、

20 第 2 の絶縁膜を所定位置に形成された半導体層からなるスイッチング素子の上と上記走査線の上にだけ形成する第 2 絶縁膜形成ステップとを有していることを特徴とする横電界方式の液晶素子の製造方法。

9 3 . 横電界方式の液晶素子の製造方法であって、

第 1 の基板に金属層よりなりトランジスタのゲートを兼ねる走査線と対向電極を所定位置に形成する第 1 導電層形成ステップと、

25 上記形成された走査線と対向電極の上に第 1 の絶縁膜を形成する第 1 絶縁膜形成ステップと、

半導体層を所定位置に形成する半導体形成ステップと、
信号線と画素電極を所定位置に形成する第2導電層形成ステップと、
第2の絶縁膜を所定位置に形成された半導体層からなるスイッチング素子の上と上記信号線の上と上記走査線の上にだけ形成する第2絶縁膜形成ステップとを有していることを特徴とする横電界方式の液晶素子の製造方法。

94. 横電界方式の液晶素子の製造方法であって、

第1の基板に信号線と画素電極を選択的に形成する第1導電層形成ステップと、

10 半導体層を所定位置に形成する半導体層形成ステップと、
上記形成された信号線及び画素電極の上に第1の絶縁膜を形成する第1絶縁膜形成ステップと、

上記形成された第1の絶縁膜の上にトランジスタのゲートを兼ねる走査線と対向電極を所定位置に形成する第2導電層形成ステップと、

15 第2の絶縁膜を所定位置に形成された半導体層からなるスイッチング素子の上にだけ形成する第2絶縁膜形成ステップとを有していることを特徴とする横電界方式の液晶素子の製造方法。

95. 横電界方式の液晶素子の製造方法であって、

第1の基板に信号線と画素電極を選択的に形成する第1導電層形成
20 ステップと、

半導体層を所定位置に形成する半導体層形成ステップと、

上記形成された信号線及び画素電極の上に第1の絶縁膜を形成する第1絶縁膜形成ステップと、

上記形成された第1の絶縁膜の上にトランジスタのゲートを兼ねる
25 走査線と対向電極を選択的に形成する第2導電層形成ステップと、

第2の絶縁膜を所定位置に形成された半導体層からなるスイッチン

グ素子の上と信号線の上にだけ形成する第2絶縁膜形成ステップとを有していることを特徴とする横電界方式の液晶素子の製造方法。

96. 横電界方式の液晶素子の製造方法であって、

第1の基板に信号線と画素電極を選択的に形成する第1導電層形成
5 ステップと、

半導体層を所定位置に形成する半導体層形成ステップと、

上記形成された信号線及び画素電極の上に第1の絶縁膜を形成する
第1絶縁膜形成ステップと、

上記形成された第1の絶縁膜の上にトランジスタのゲートを兼ねる
10 走査線と対向電極を所定位置に形成する第2導電層形成ステップと、

第2の絶縁膜を所定位置に形成された半導体層からなるスイッチング素子の上と走査線の上にだけ形成する第2絶縁膜形成ステップとを有していることを特徴とする横電界方式の液晶素子の製造方法。

97. 横電界方式の液晶素子の製造方法であって、

第1の基板に信号線と画素電極を選択的に形成する第1導電層形成
15 ステップと、

半導体層を所定位置に形成する半導体層形成ステップと、

上記形成された信号線及び画素電極の上に第1の絶縁膜を形成する
第1絶縁膜形成ステップと、

上記形成された第1の絶縁膜の上にトランジスタのゲートを兼ねる
20 走査線と対向電極を所定位置に形成する第2導電層形成ステップと、

第2の絶縁膜を所定位置に形成された半導体層からなるスイッチング素子と信号線と走査線の上にだけ形成する第2絶縁膜形成ステップとを有していることを特徴とする横電界方式の液晶素子の製造方法。

25

Fig. 1

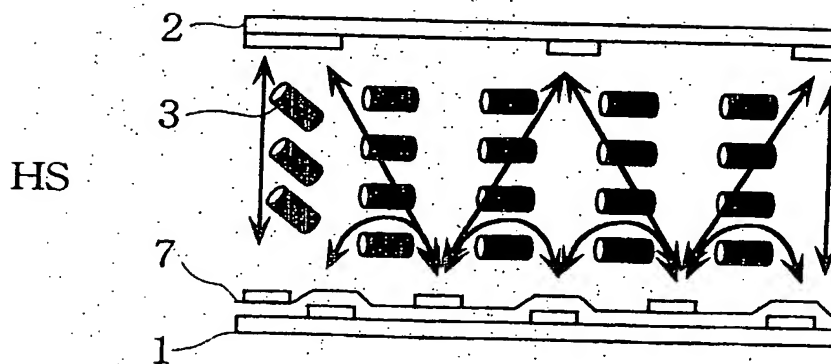
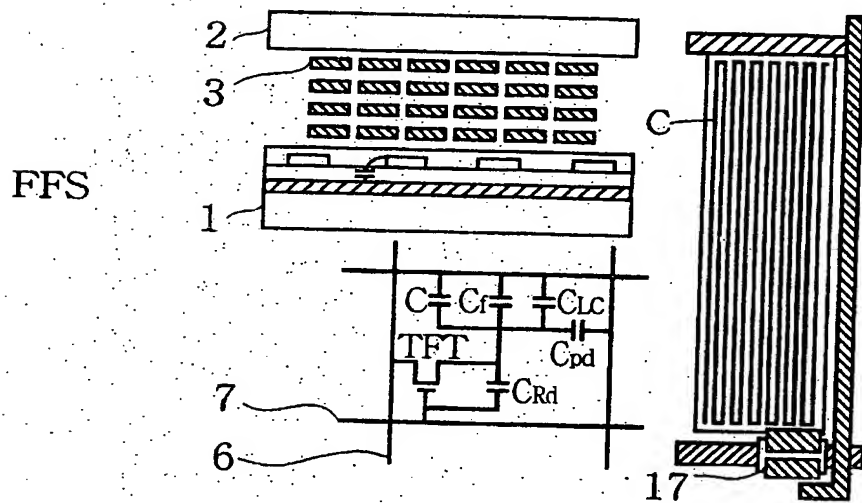
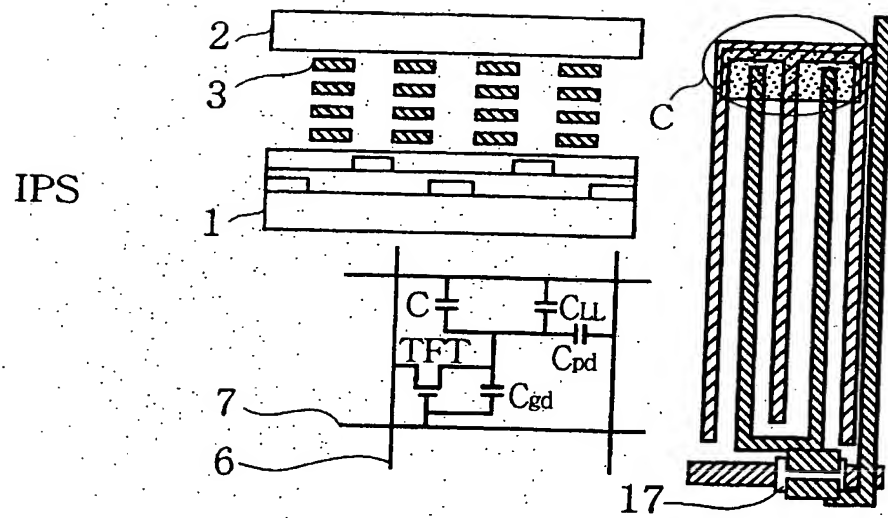




Fig. 2

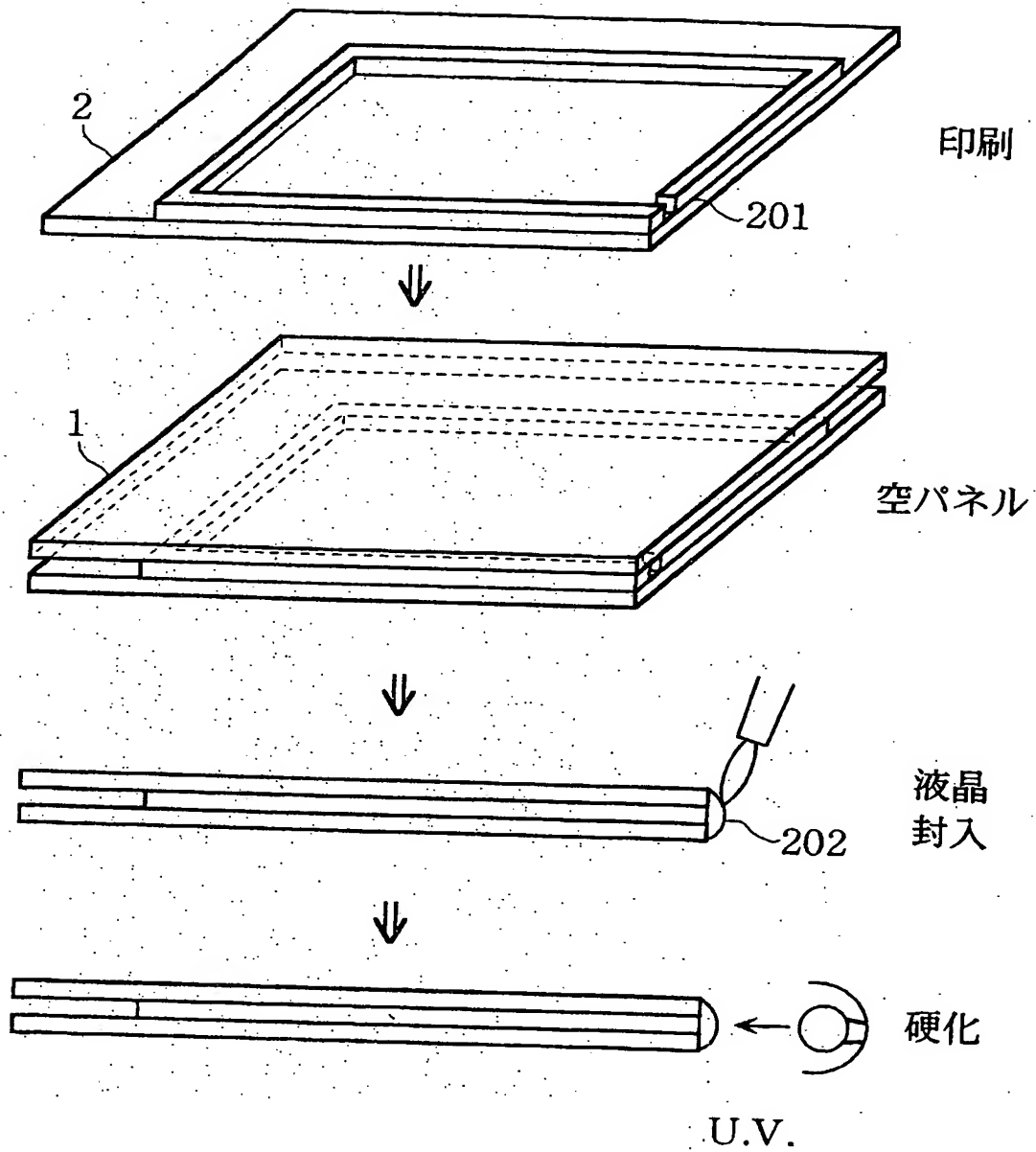




Fig. 3

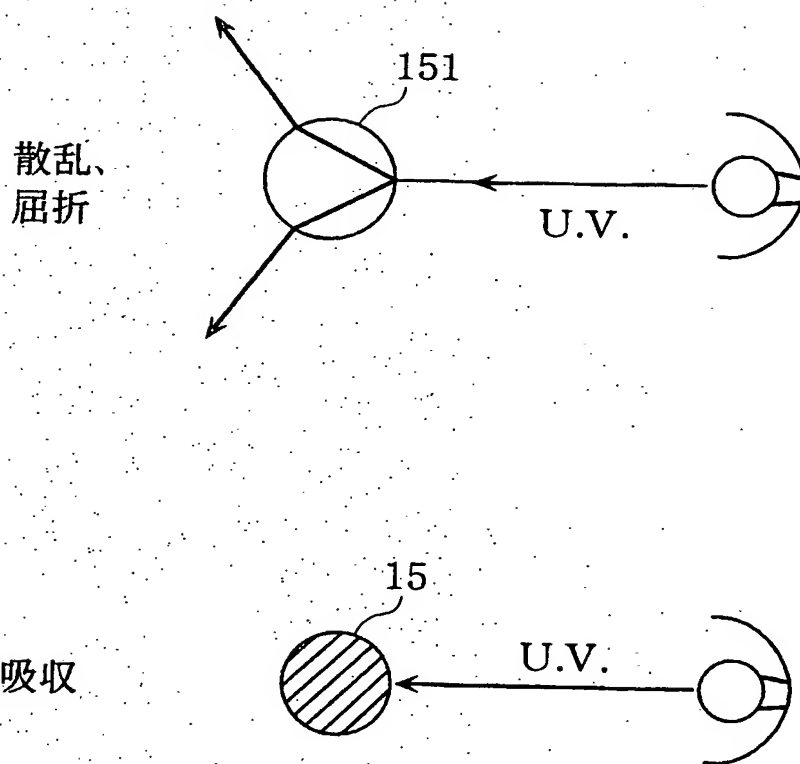




Fig. 4

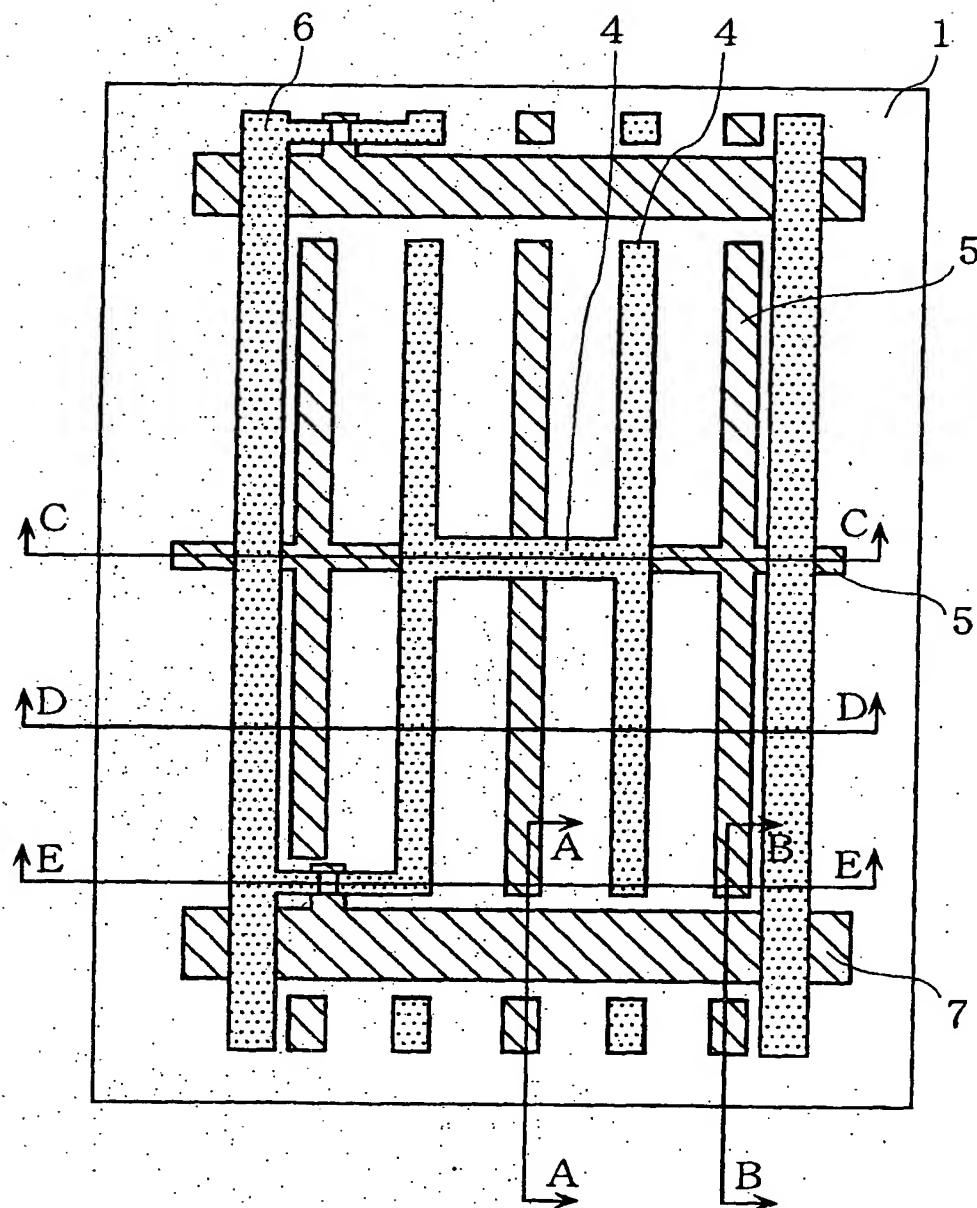




Fig. 5

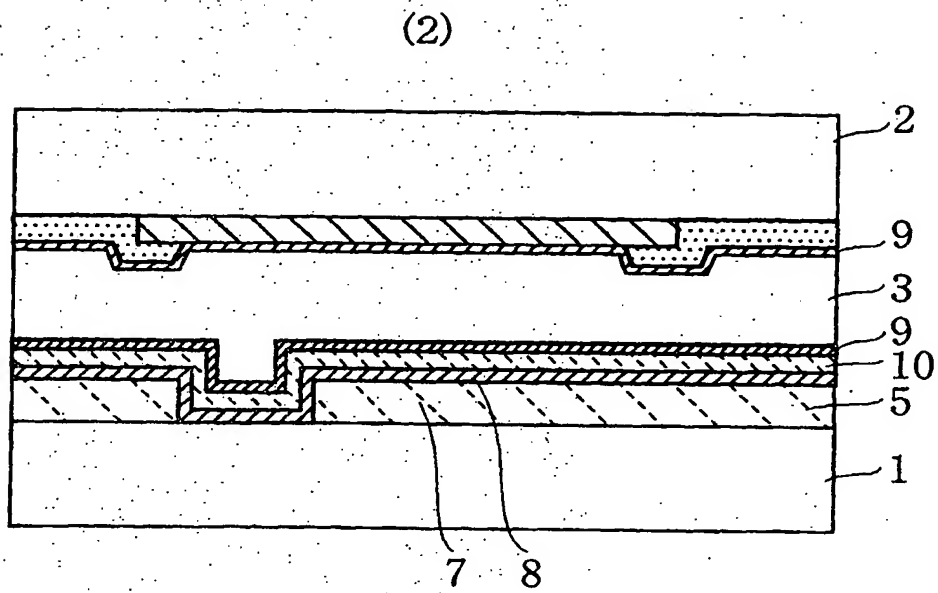
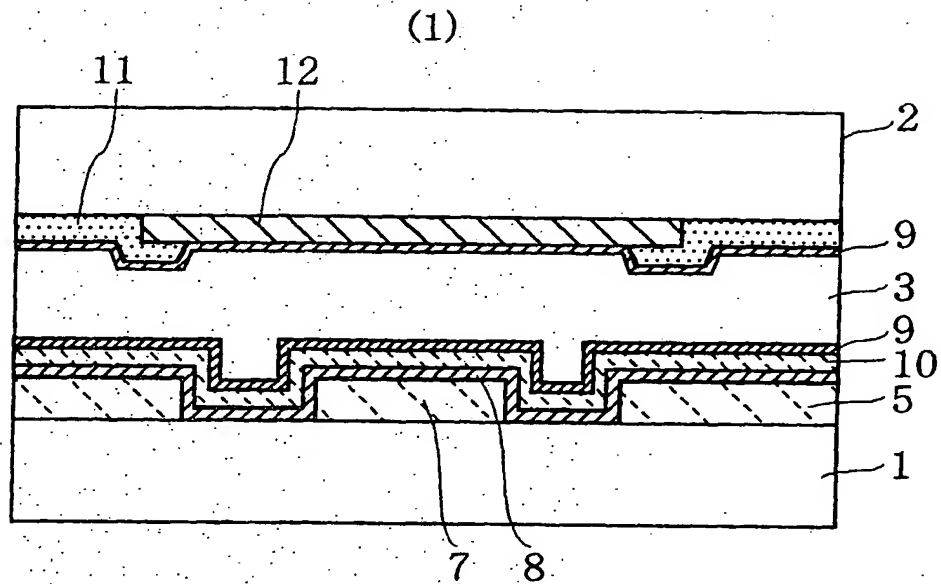




Fig. 6

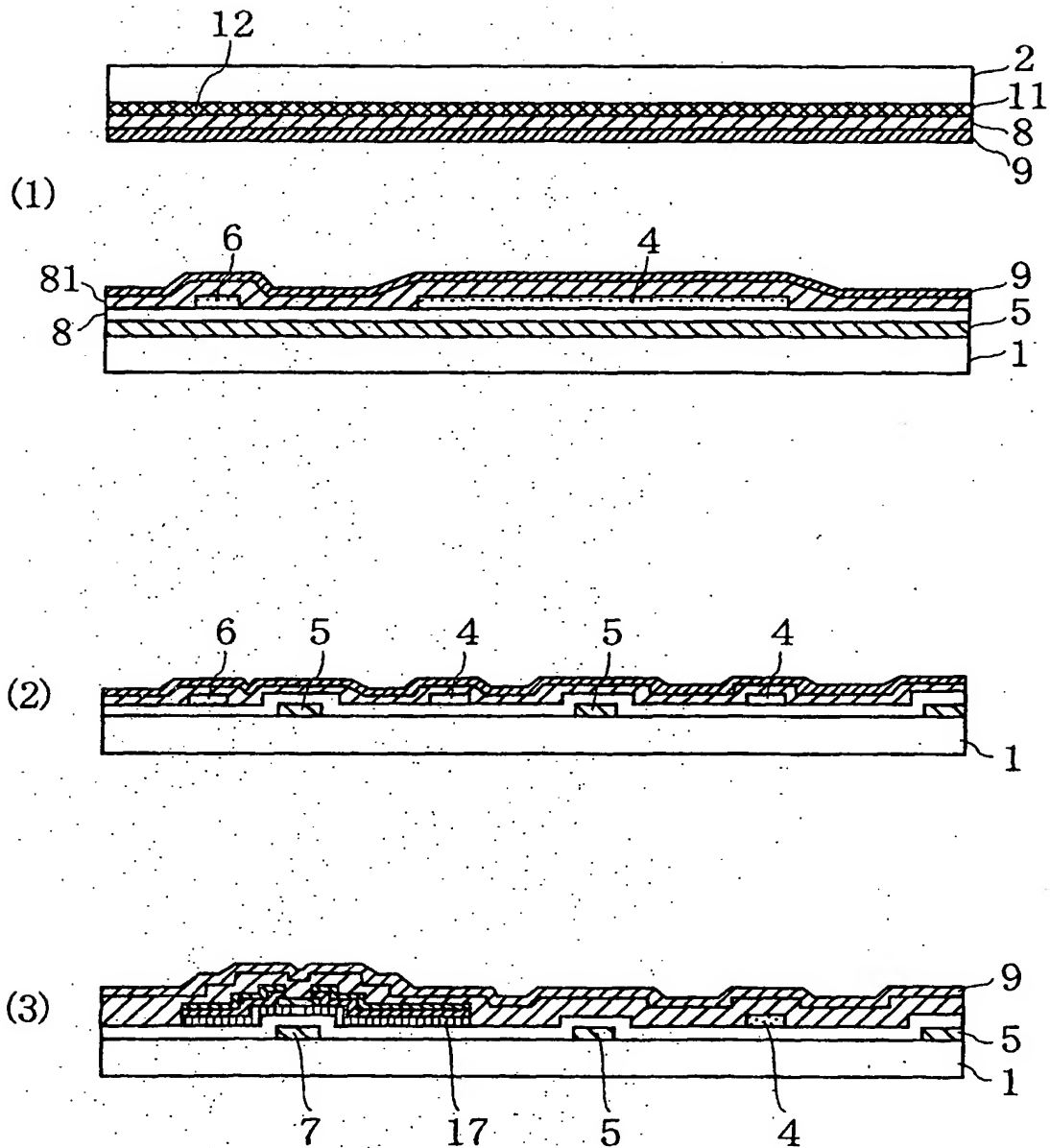




Fig. 7

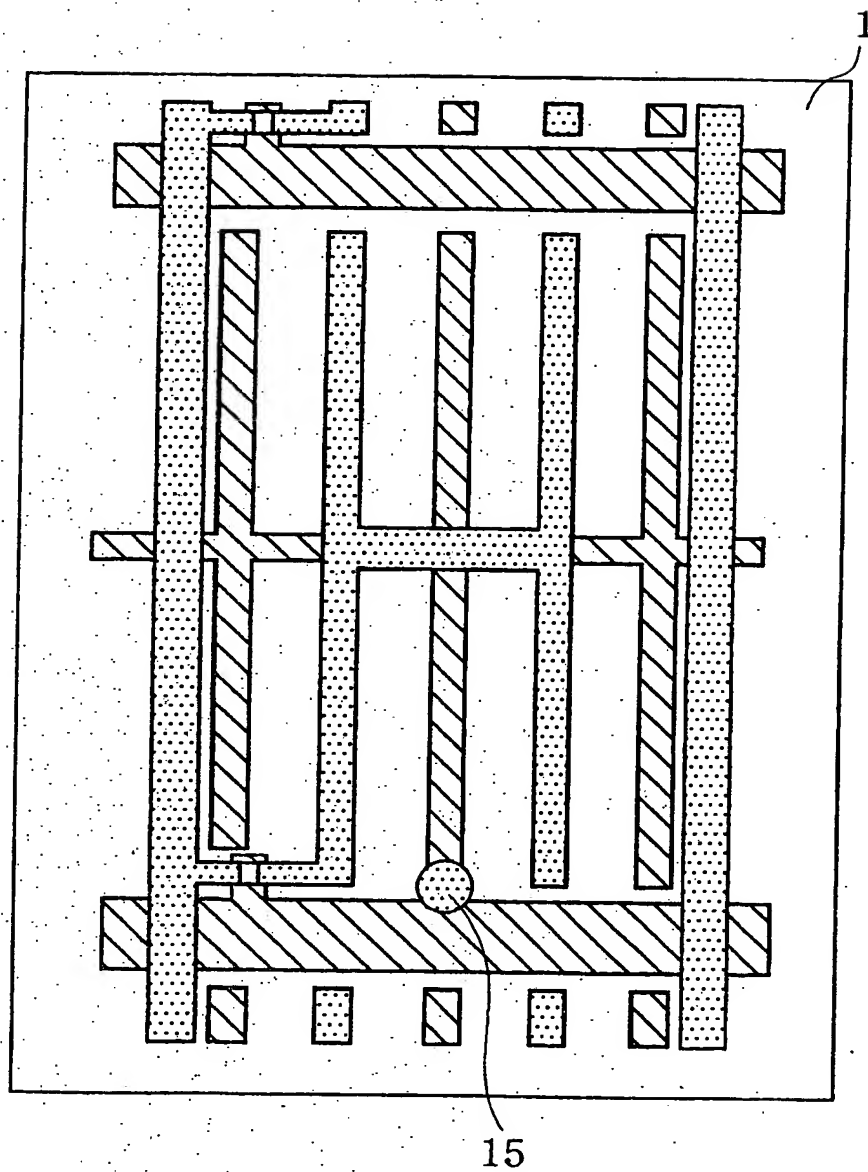




Fig. 8

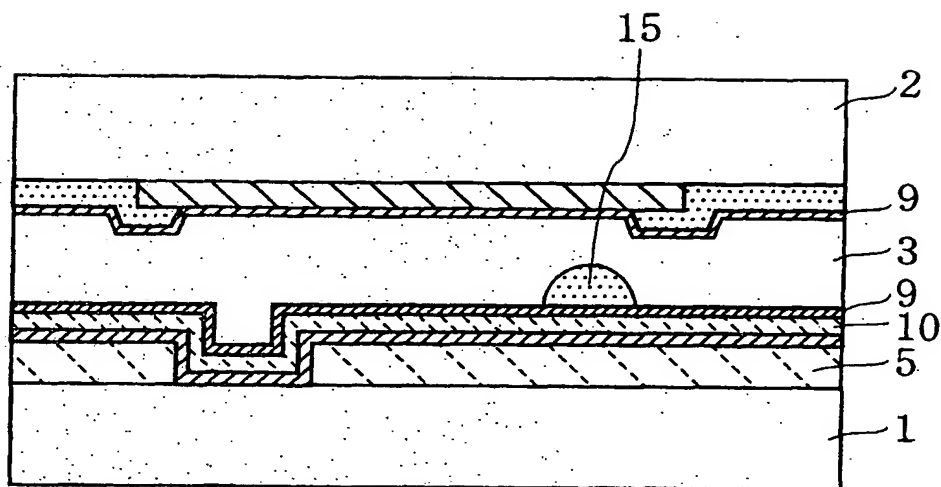




Fig. 9

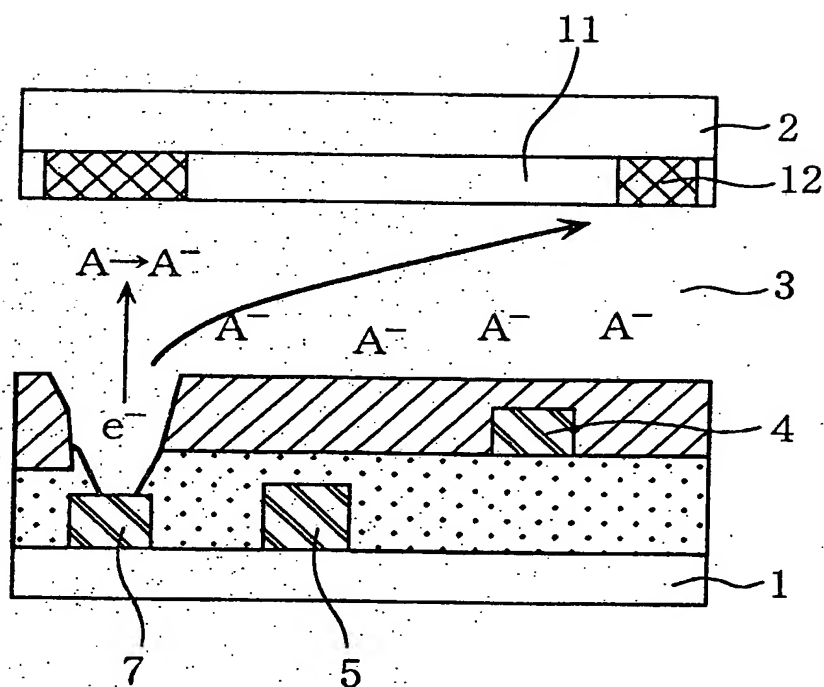




Fig. 10

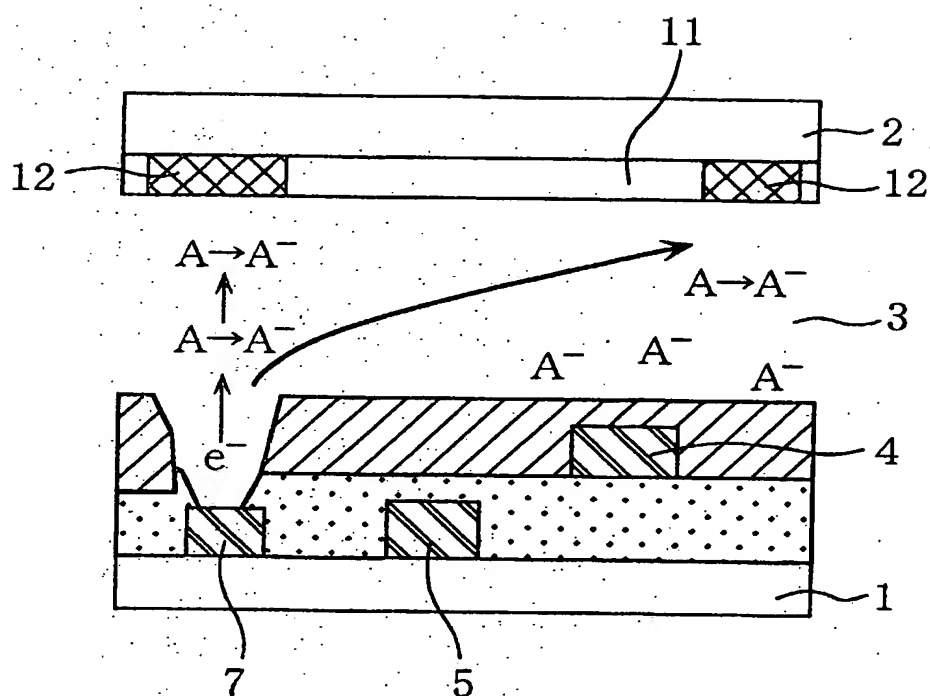
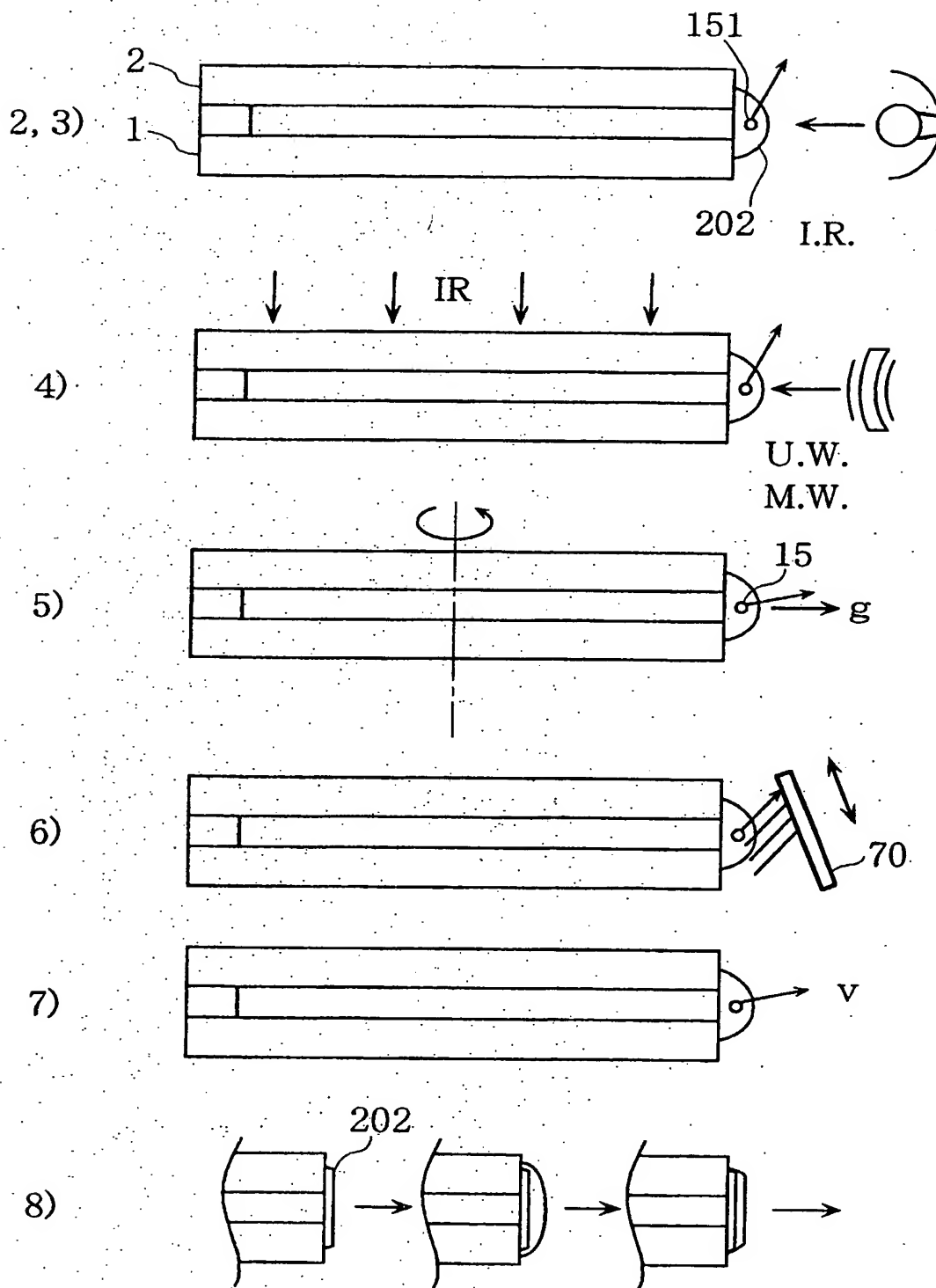




Fig. 11







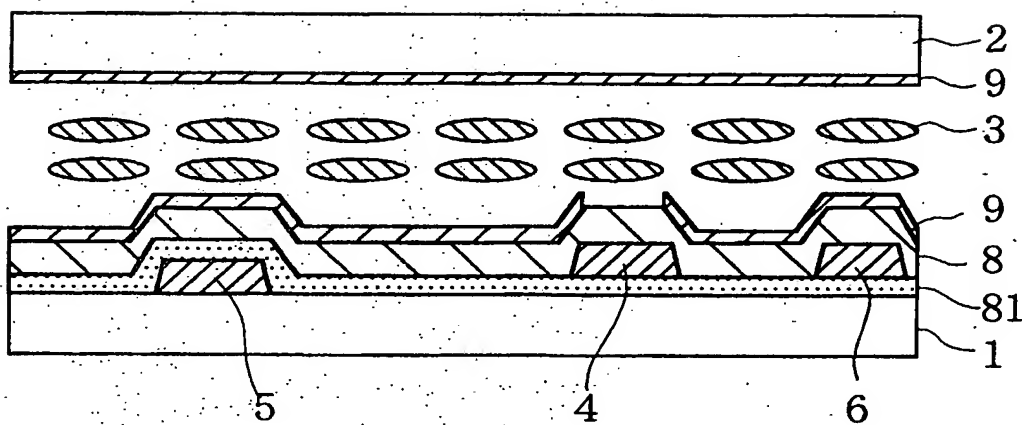
.

.

2

4

Fig. 13





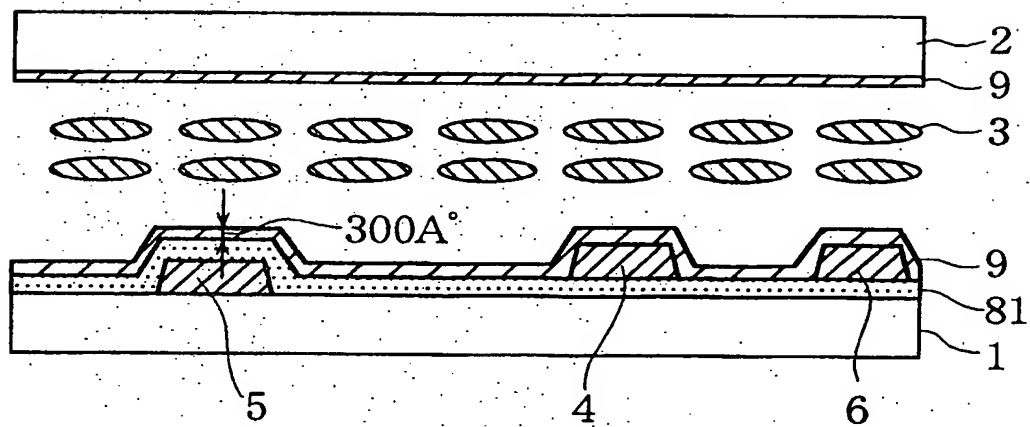
.

.

2

.

Fig. 14





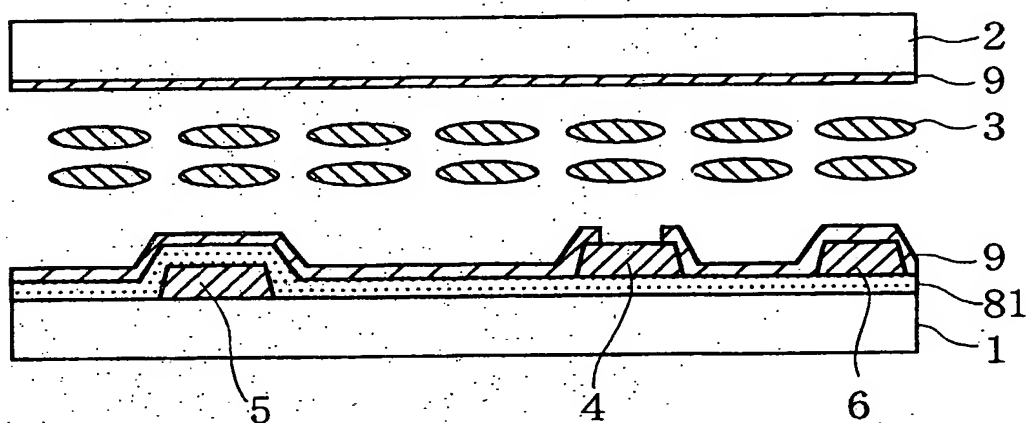
•

•

•

•

Fig. 15





.

.

.

.

Fig. 16

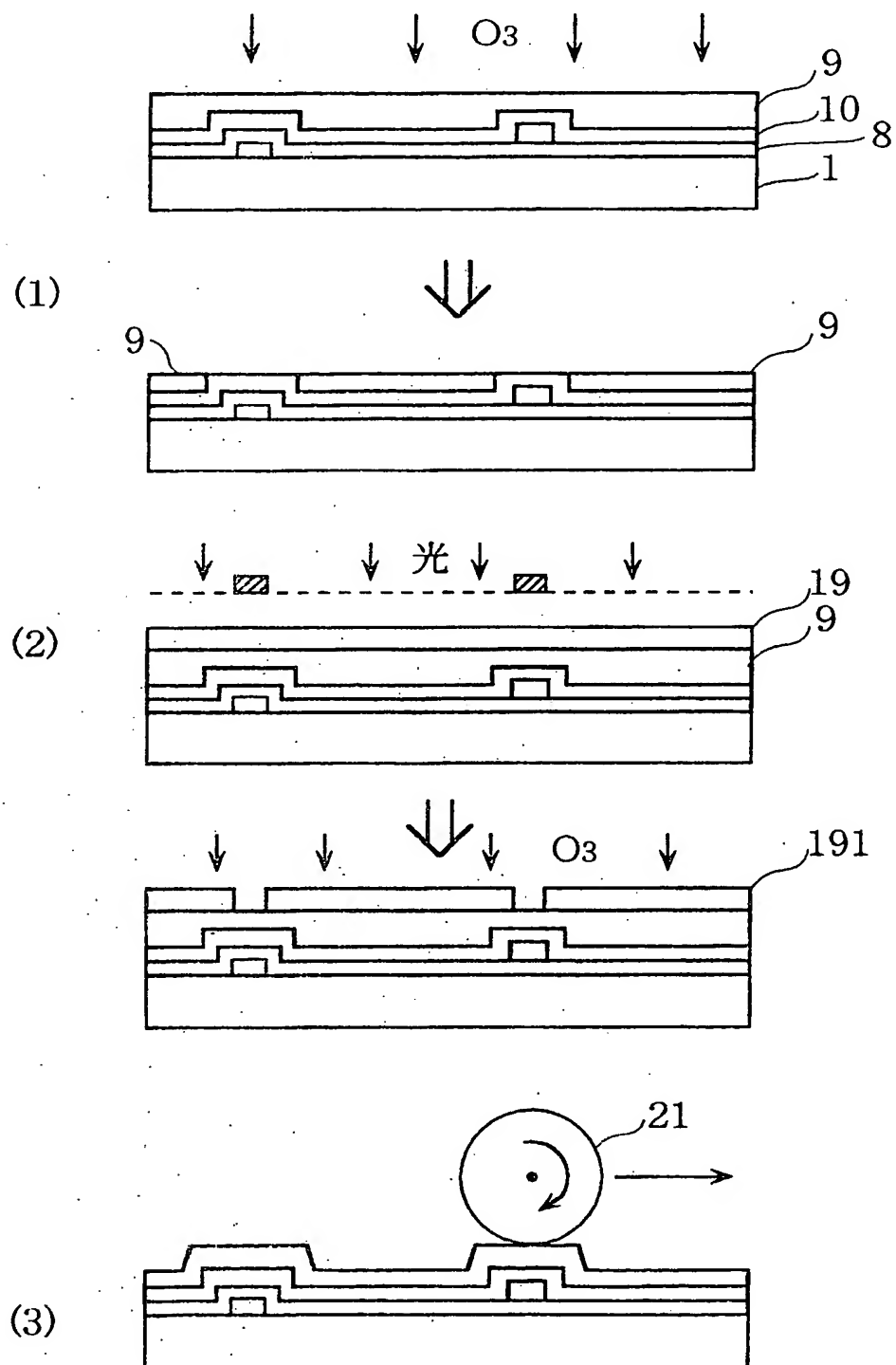
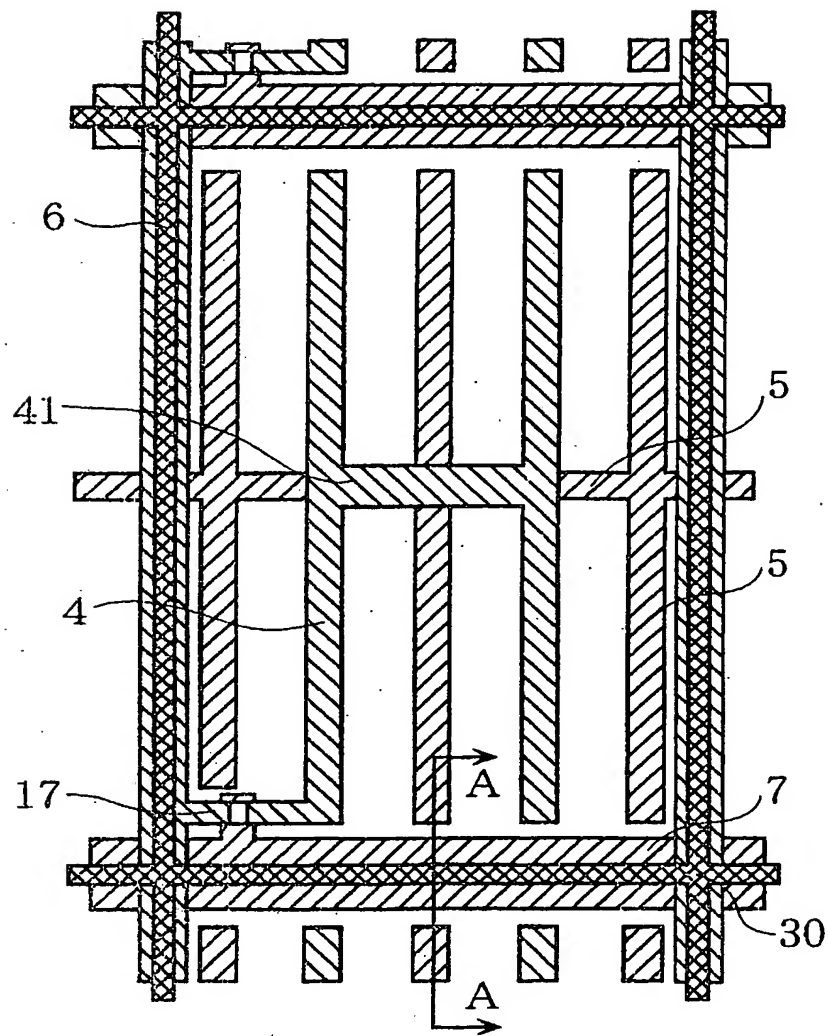




Fig. 17





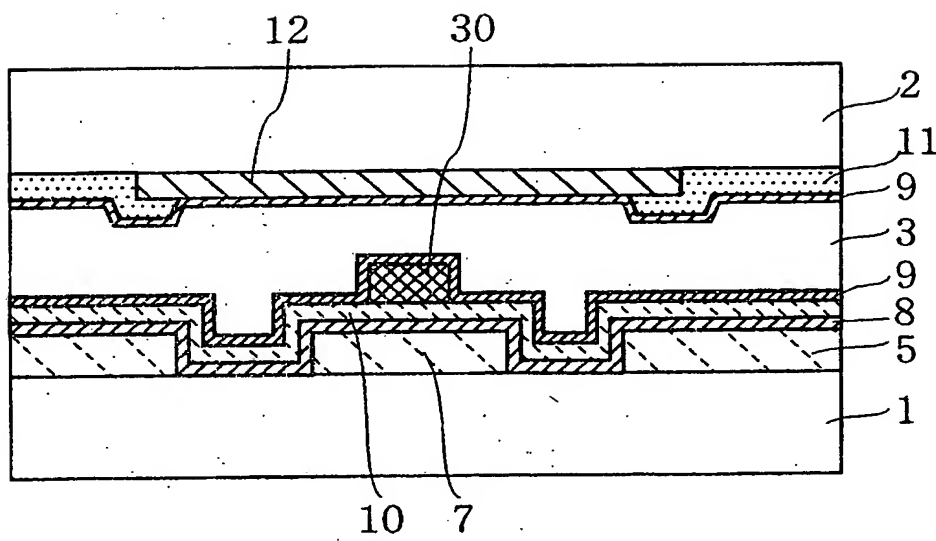
1

2

3

4

Fig. 18





.

5

2

2

Fig. 19

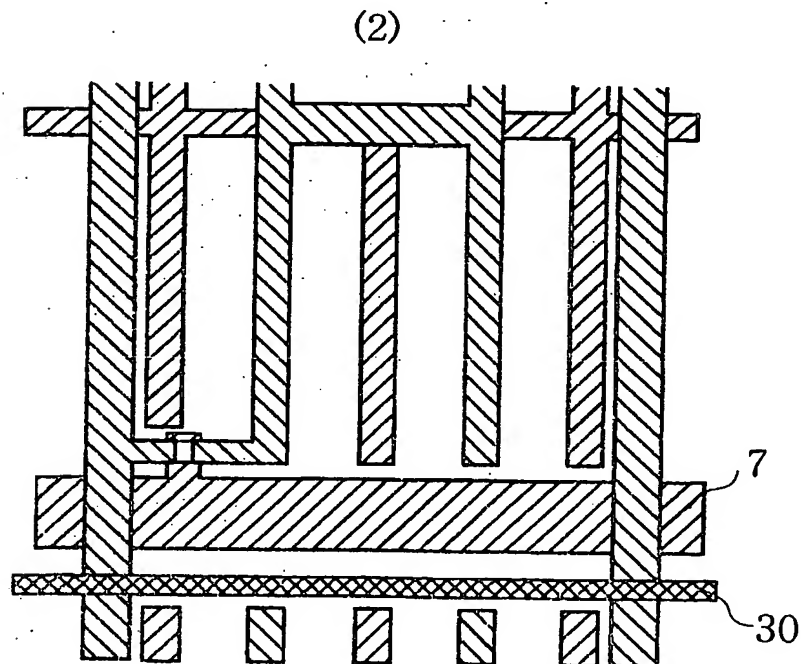
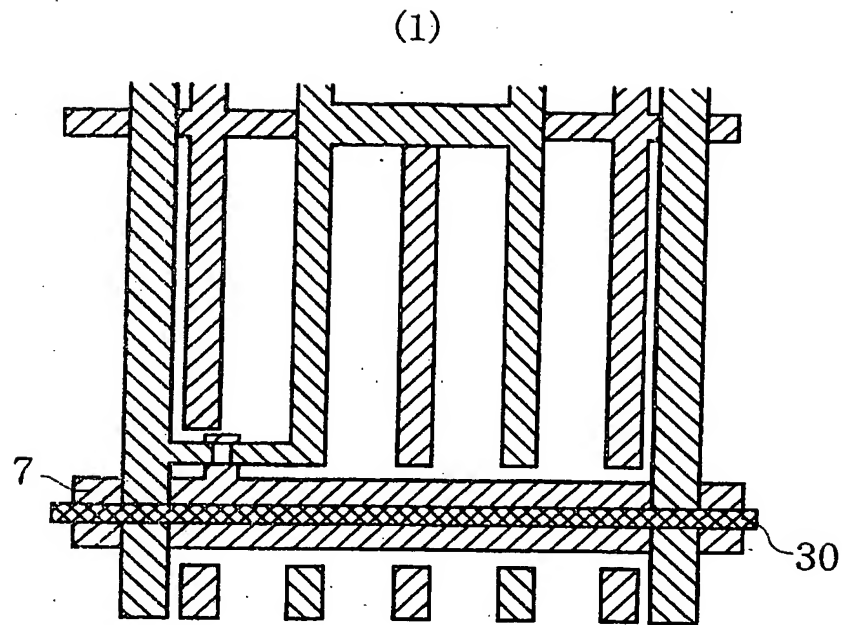




Fig. 20

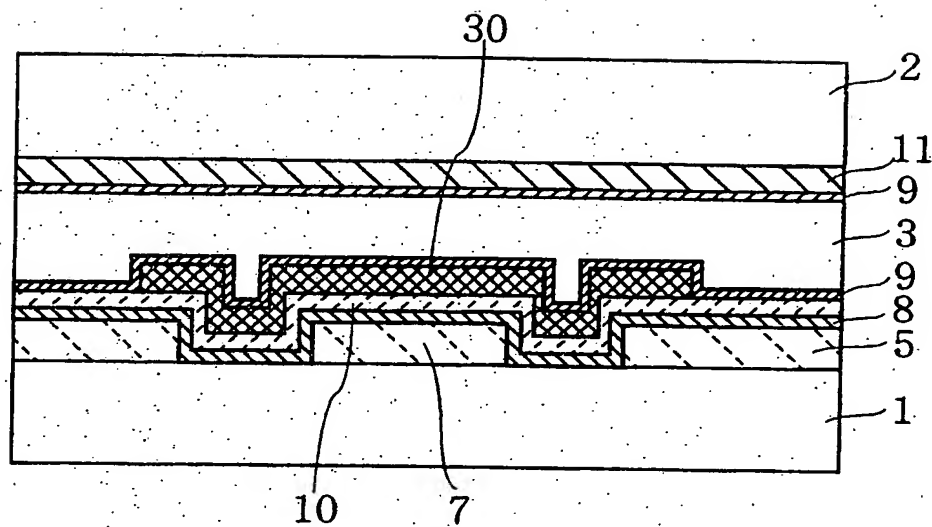
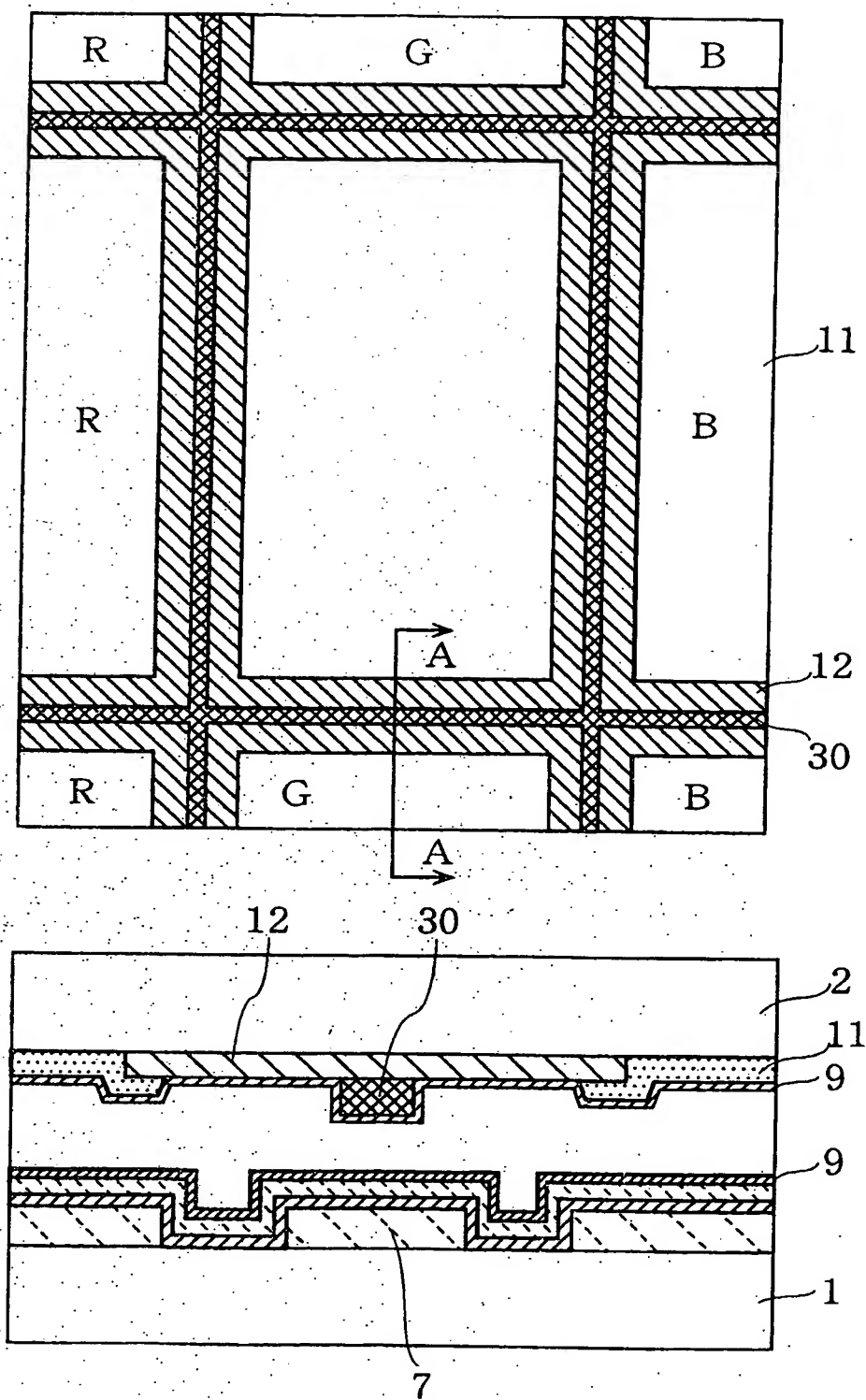




Fig. 21



A-A断面



Fig. 22

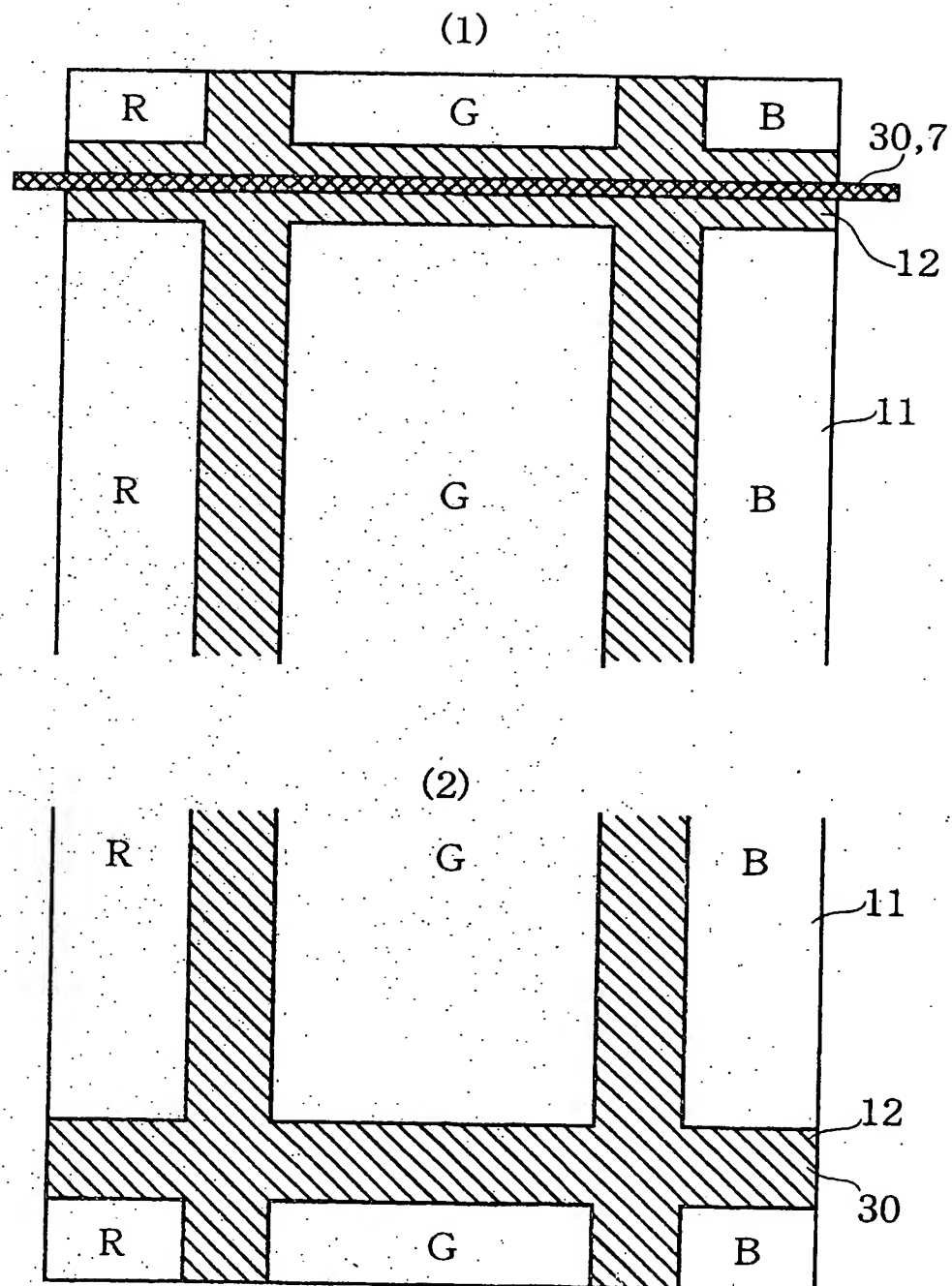




Fig. 23

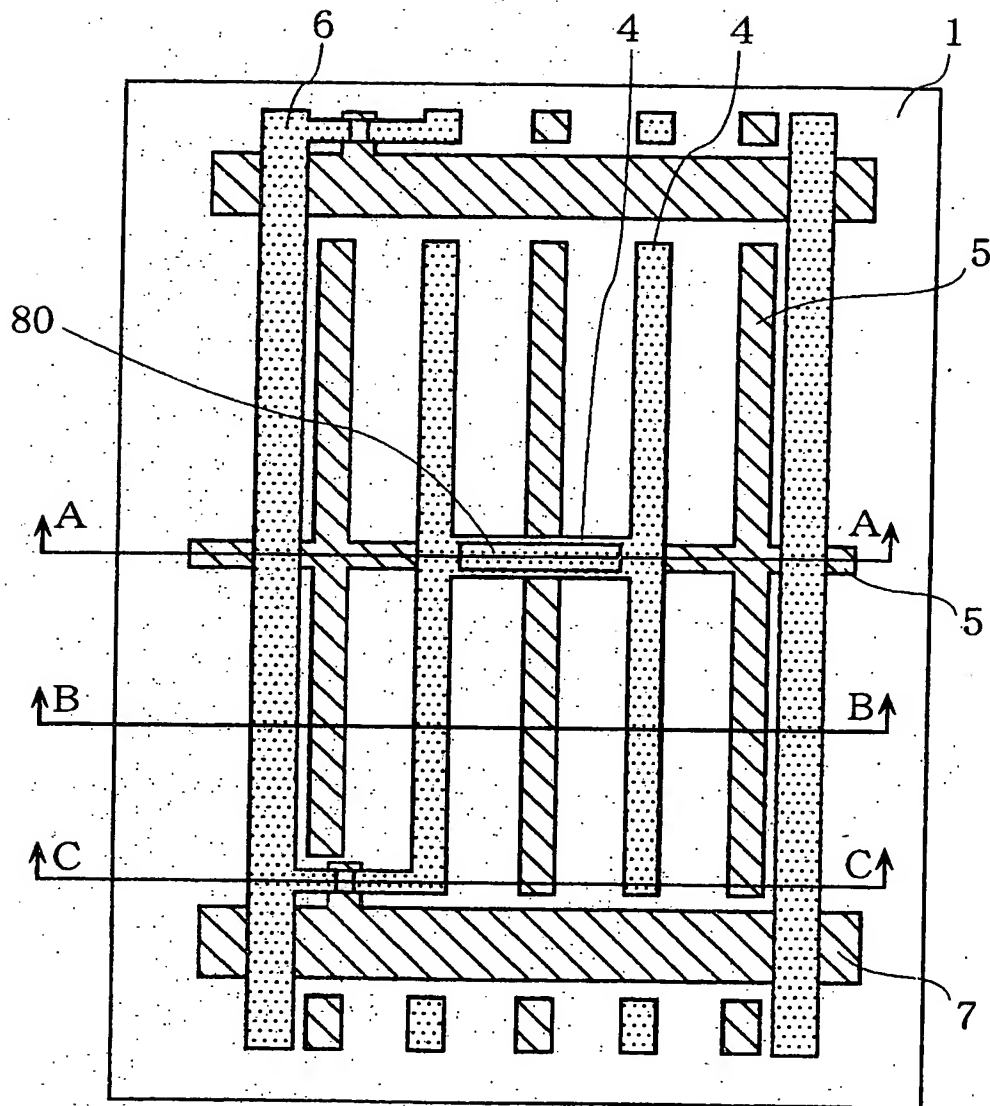




Fig. 24

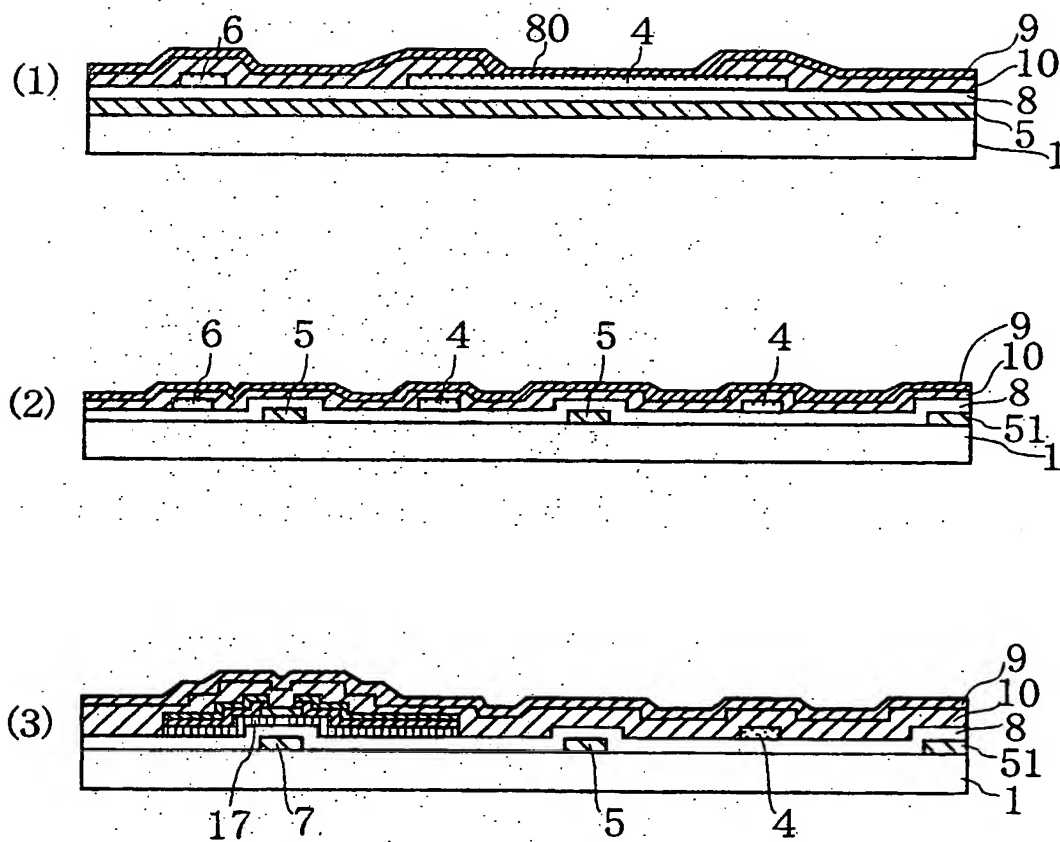




Fig. 25

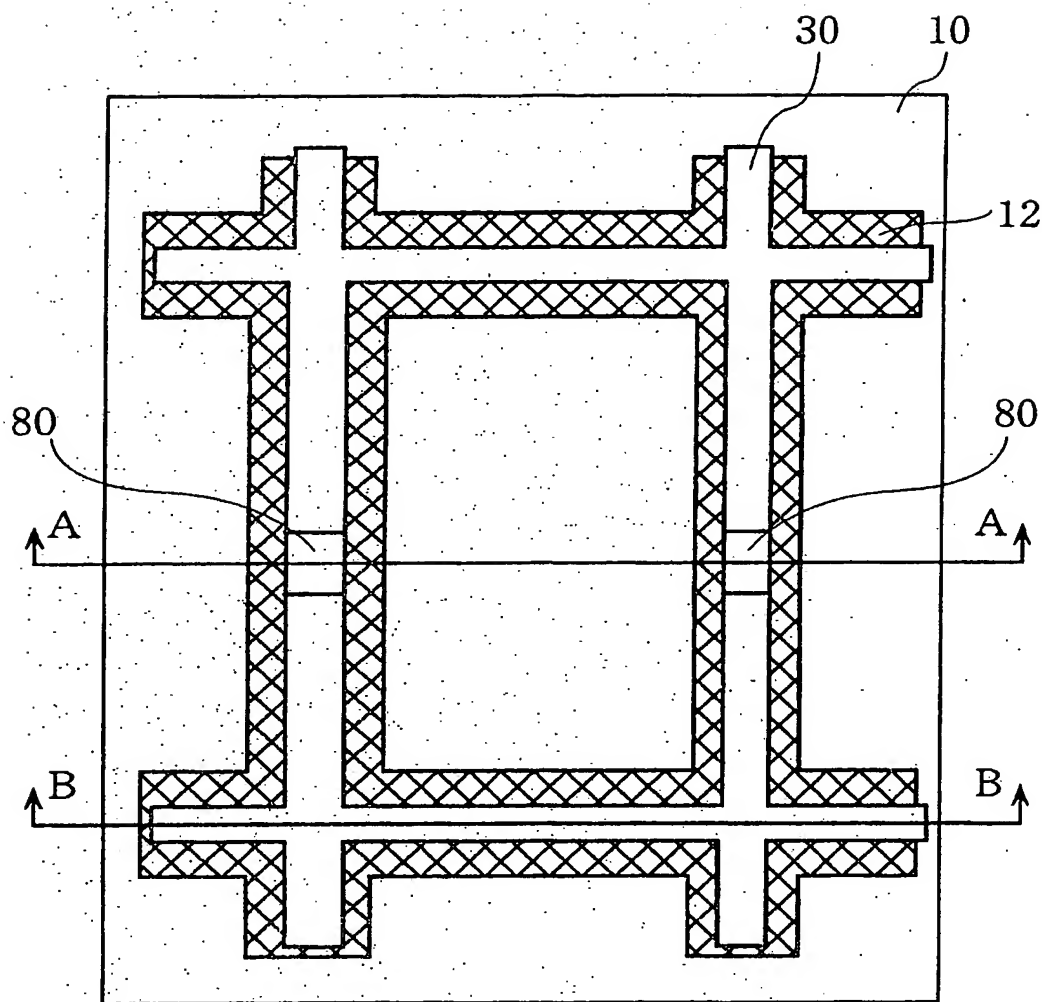




Fig. 26

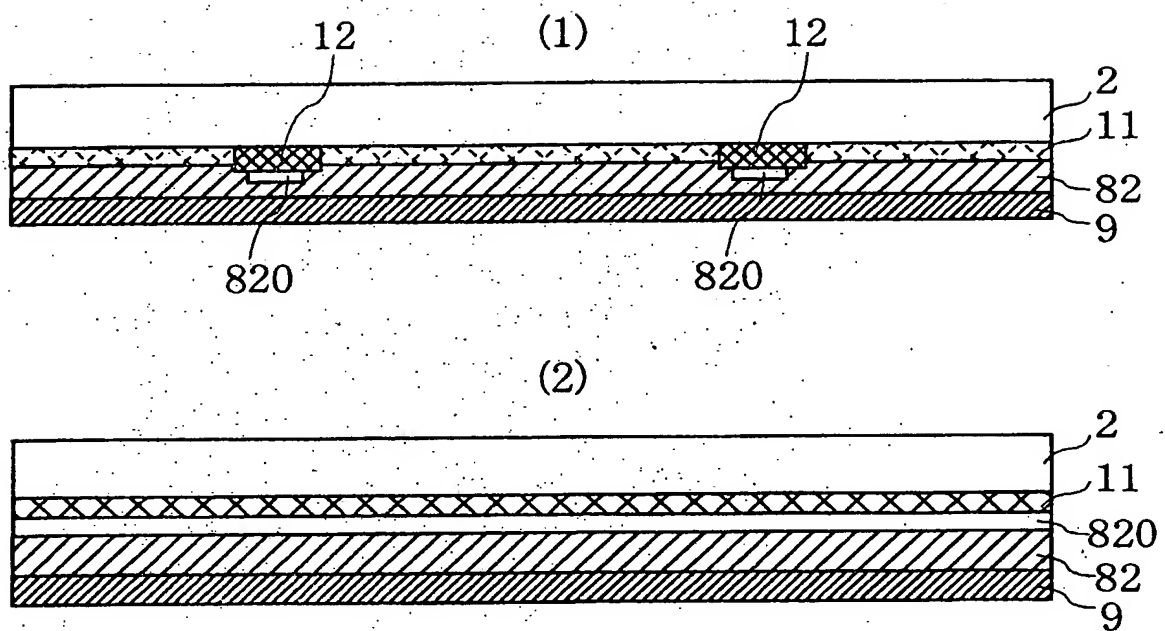




Fig. 27

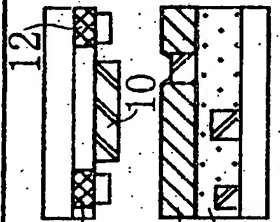
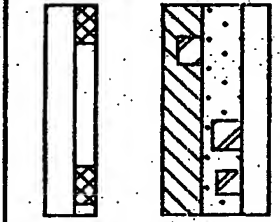
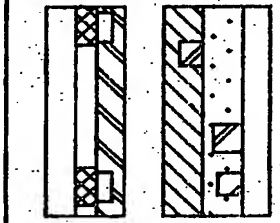
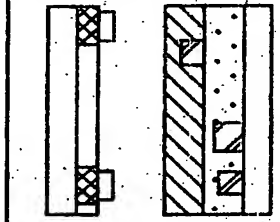
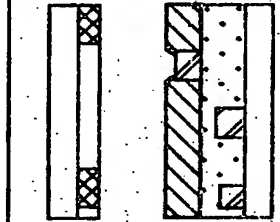
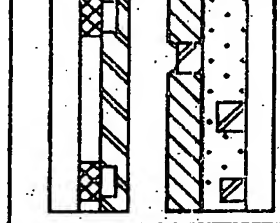
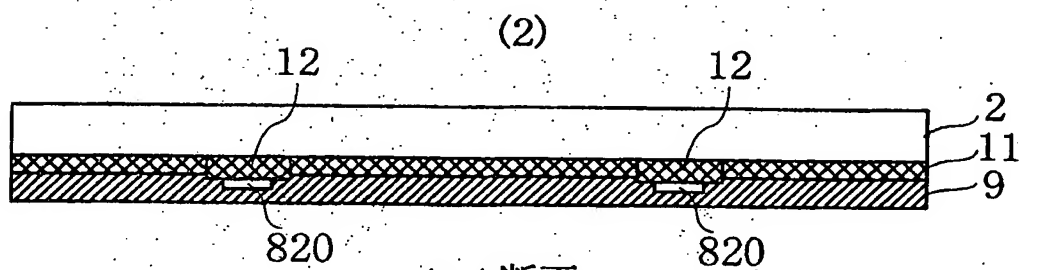
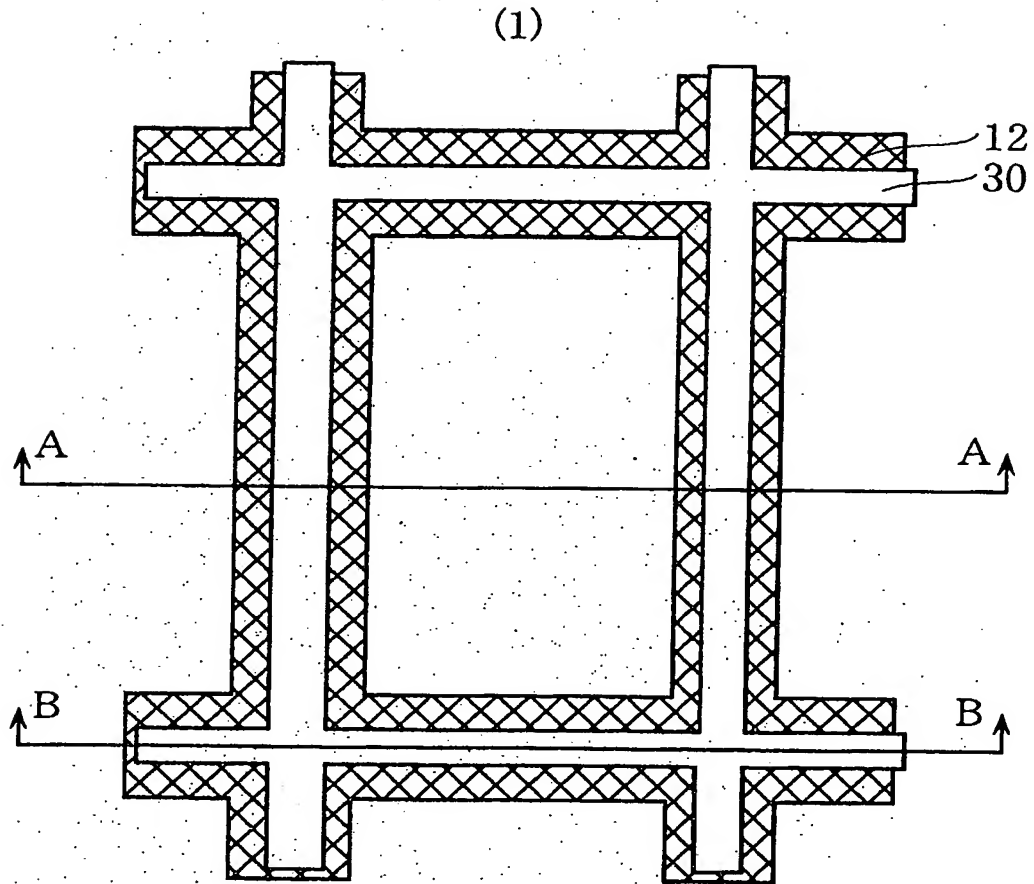
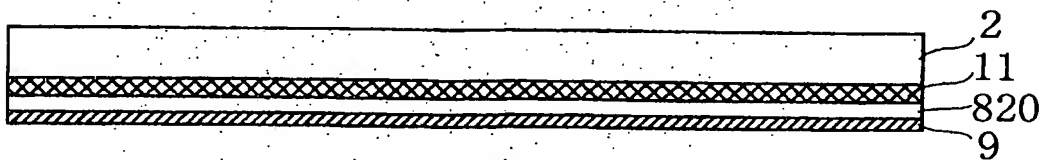
	実施の形態 (2-3-1)	比較例1	比較例2	比較例3	比較例4	比較例5
12						
模式図						
81						
8						
黒点状ムラ の大きさ	0.1mm	5.0mm	5.0mm	2.0mm	2.0mm	2.0mm



Fig. 28



A-A断面



B-B断面



Fig. 29

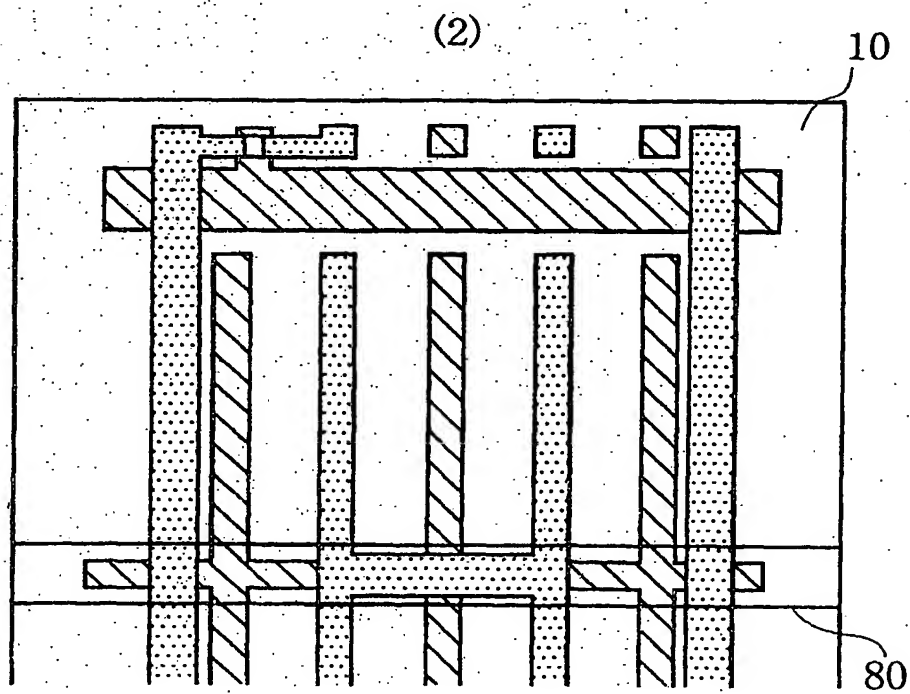
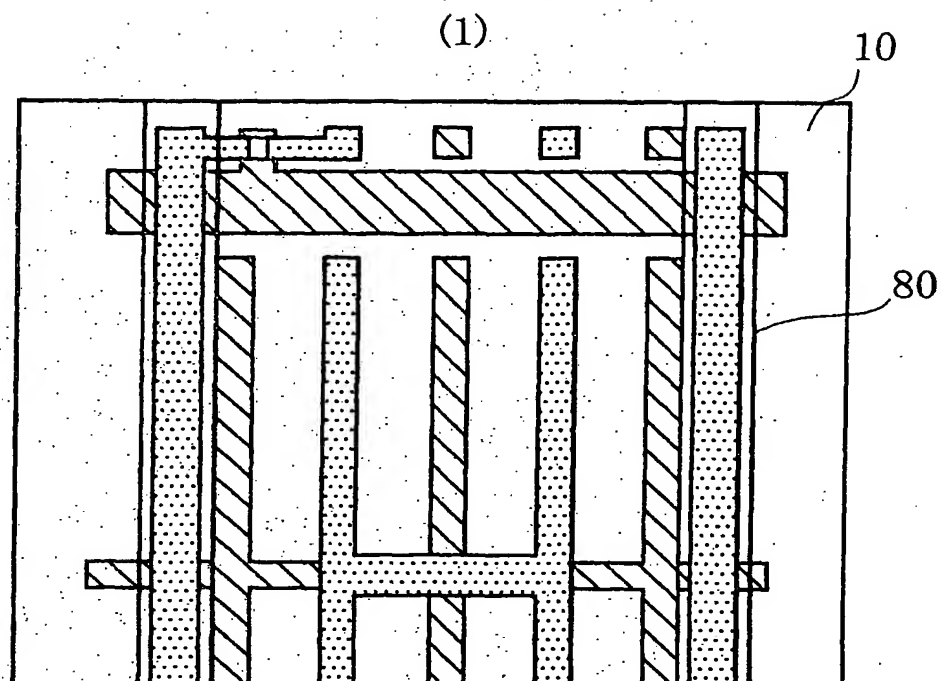




Fig. 30

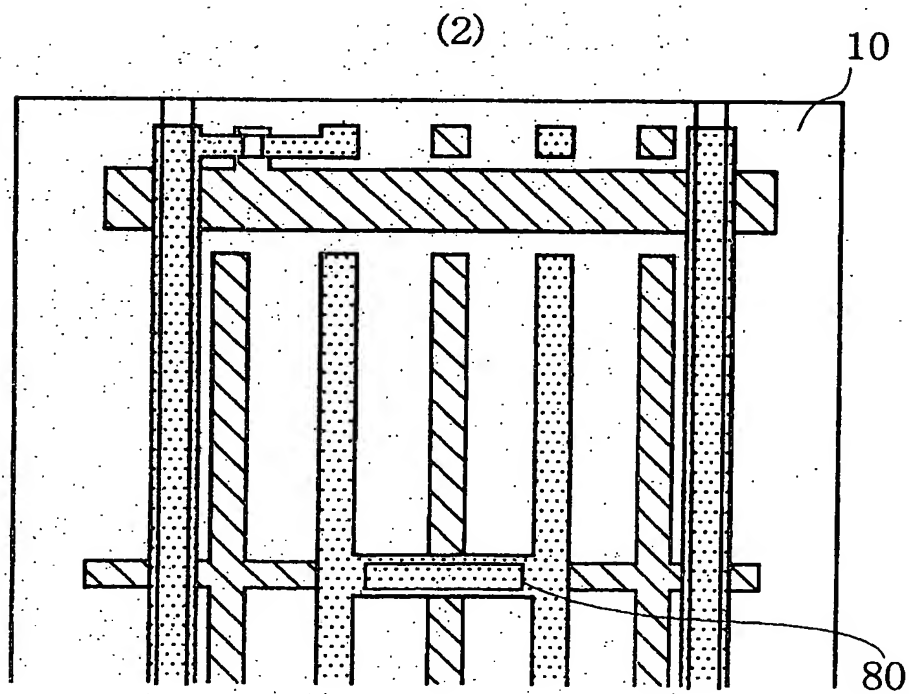
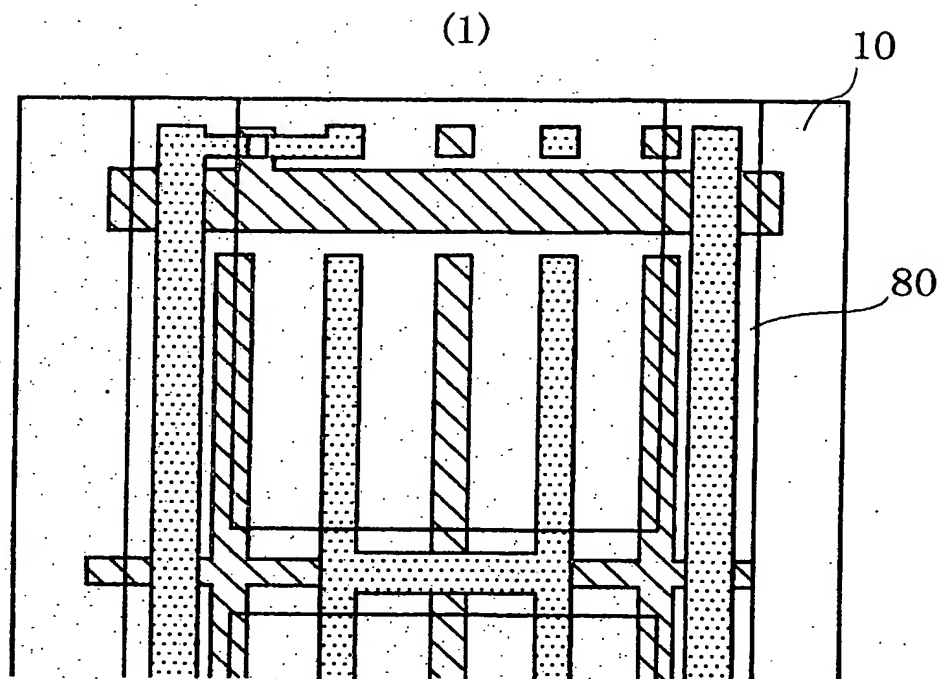




Fig. 31

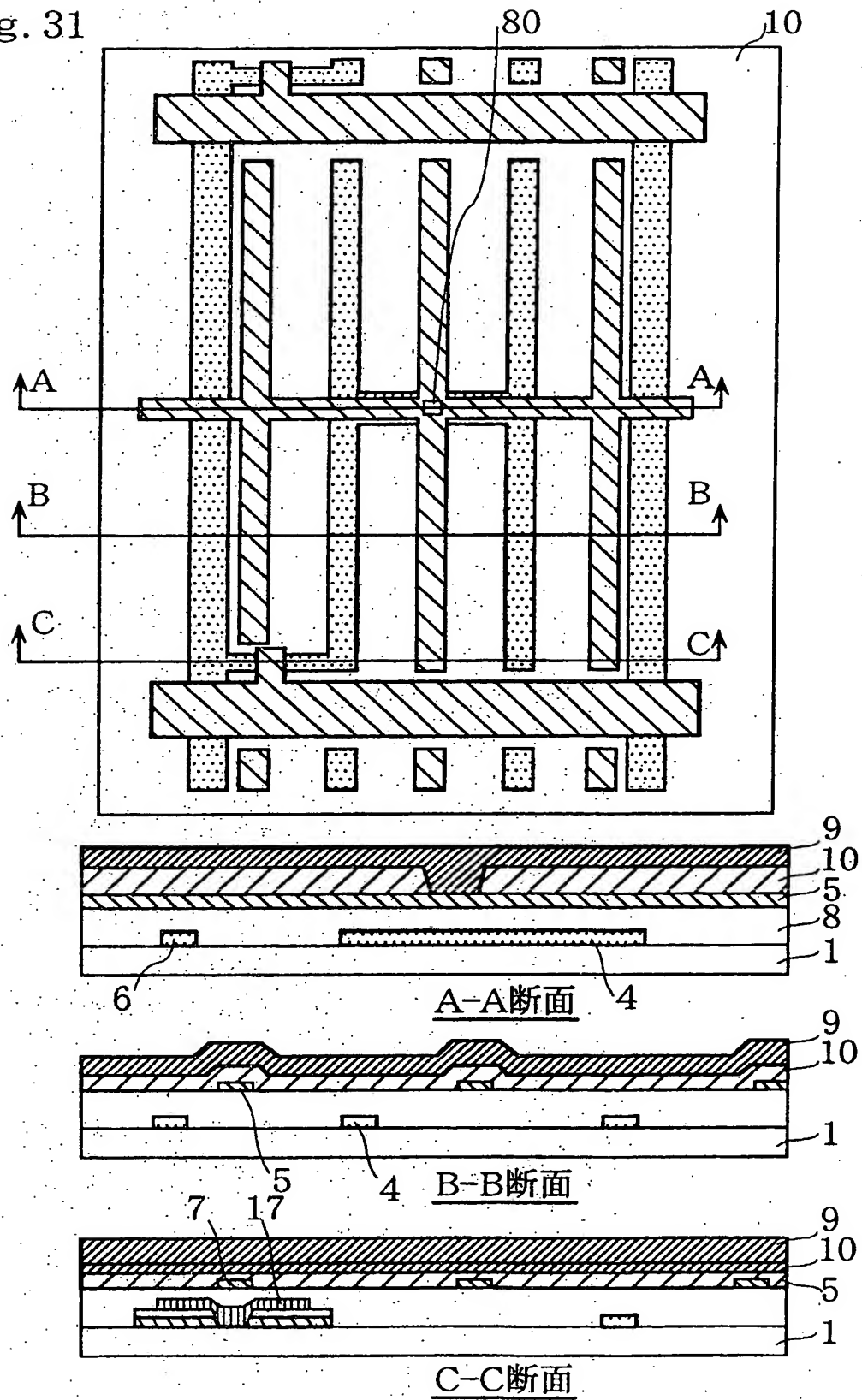




Fig. 32

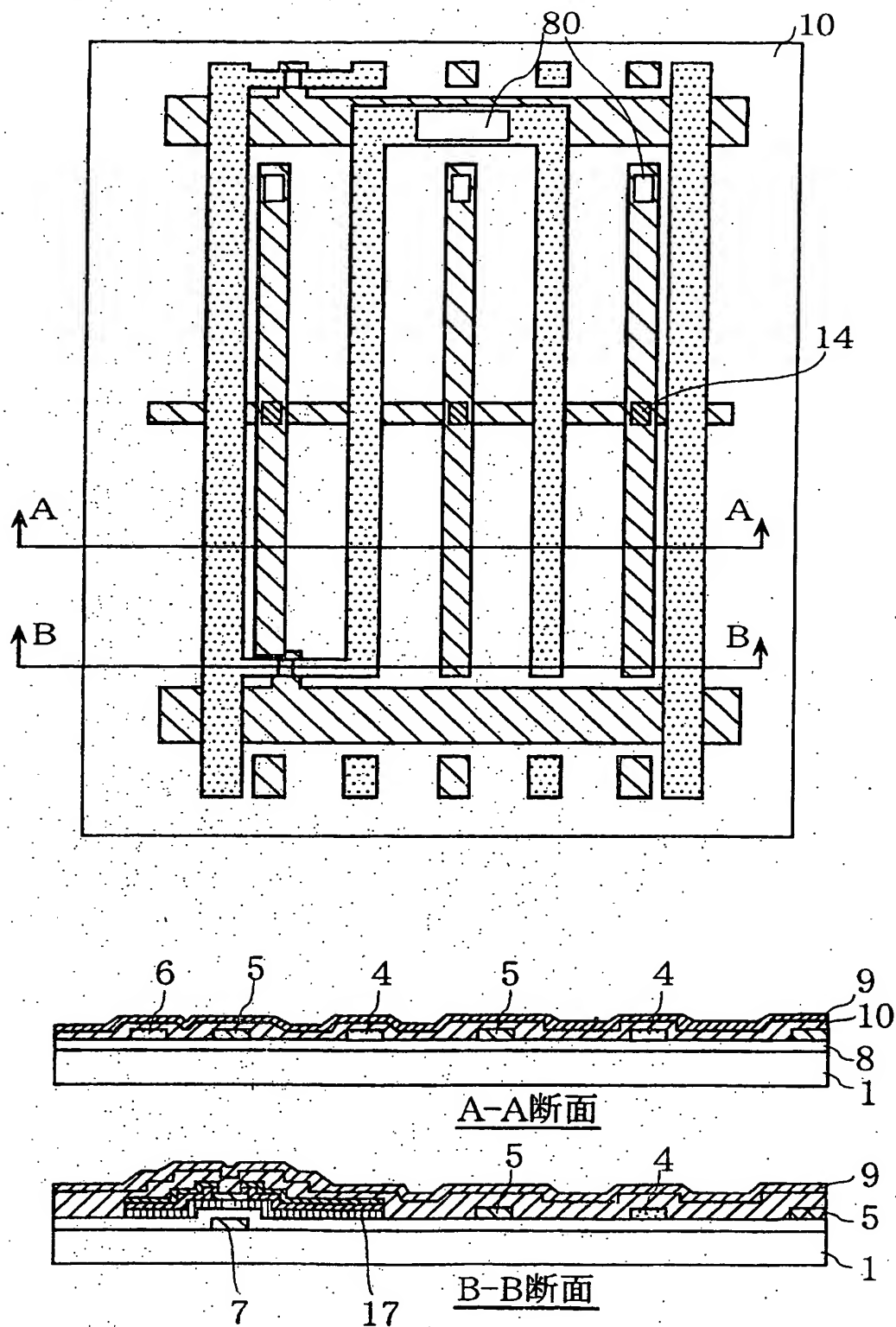
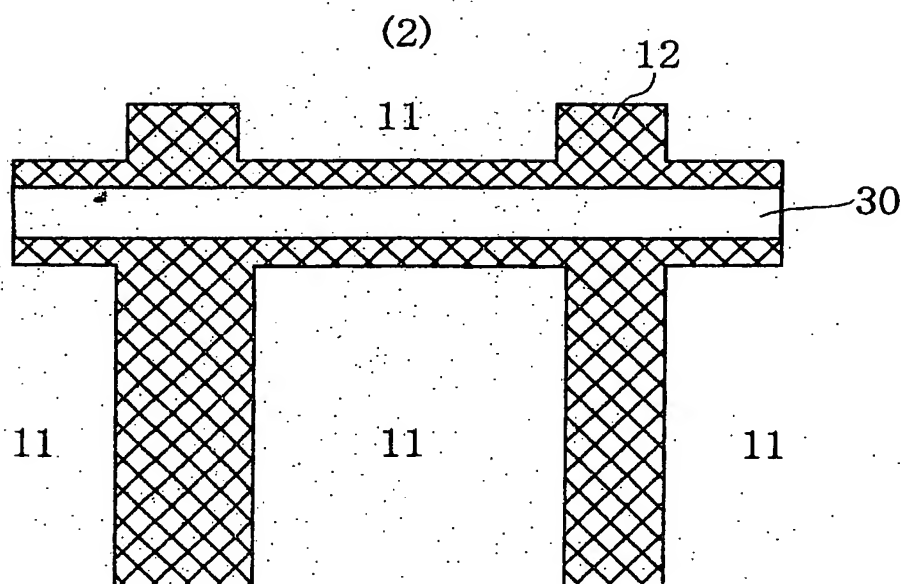
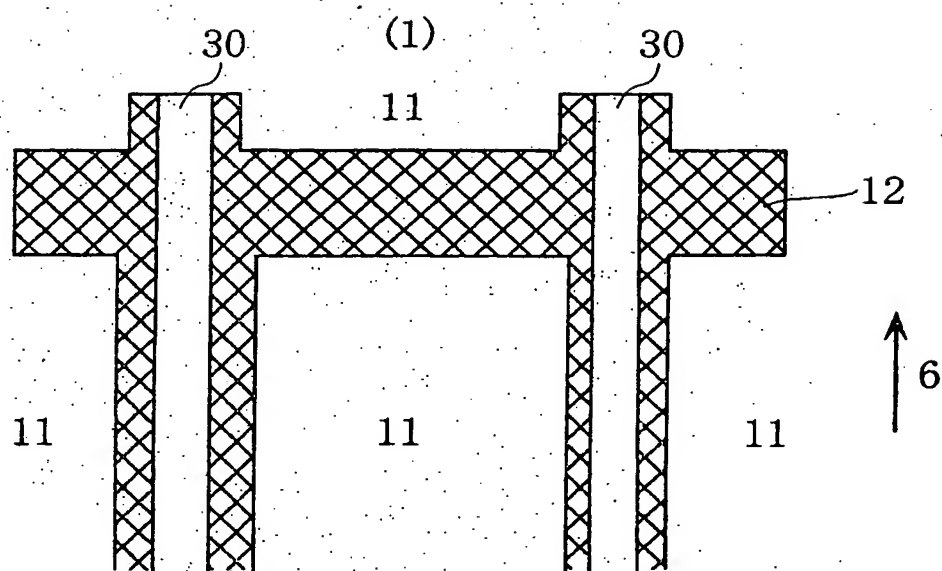




Fig. 33



→ 7



Fig. 34

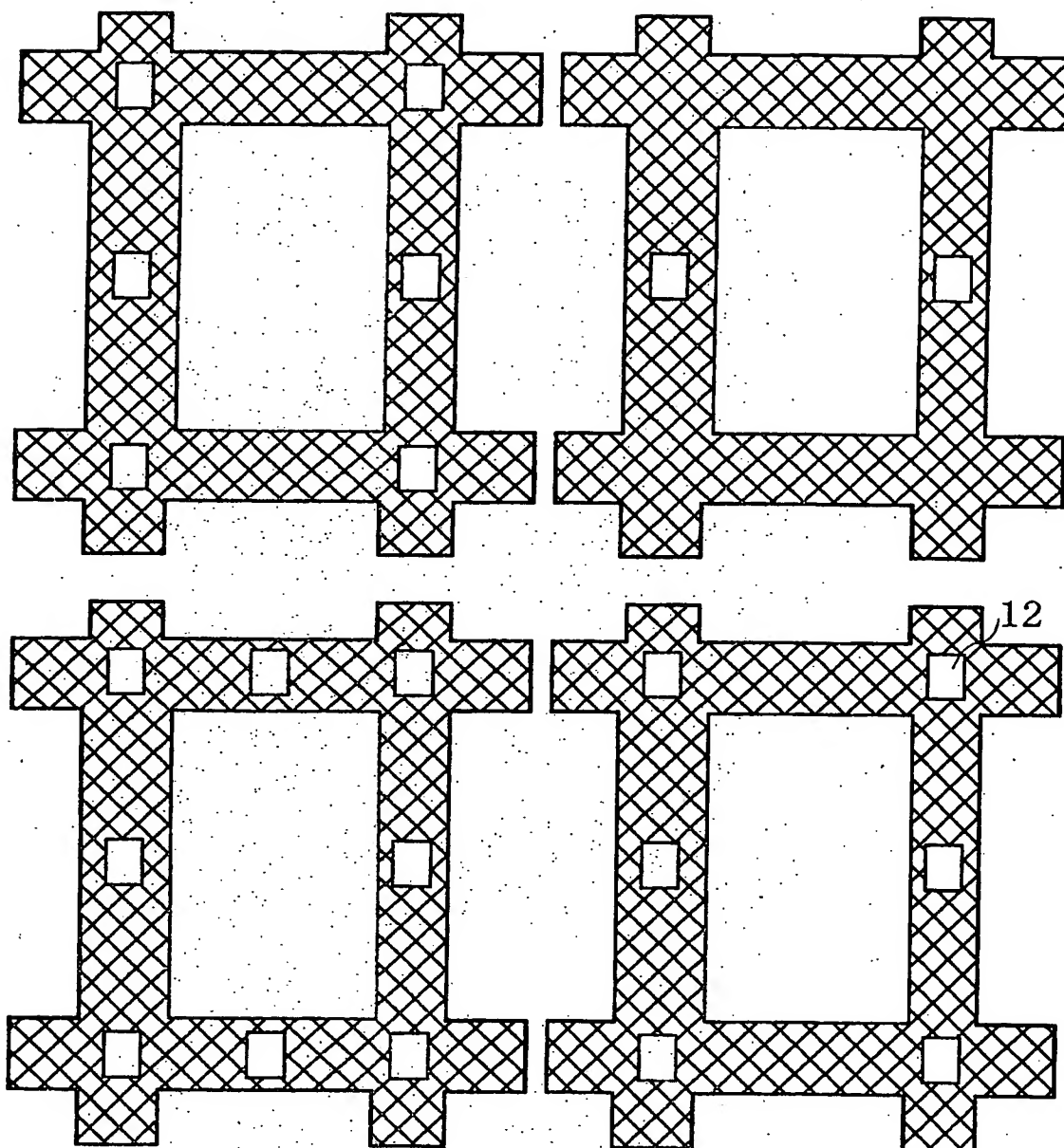




Fig. 35

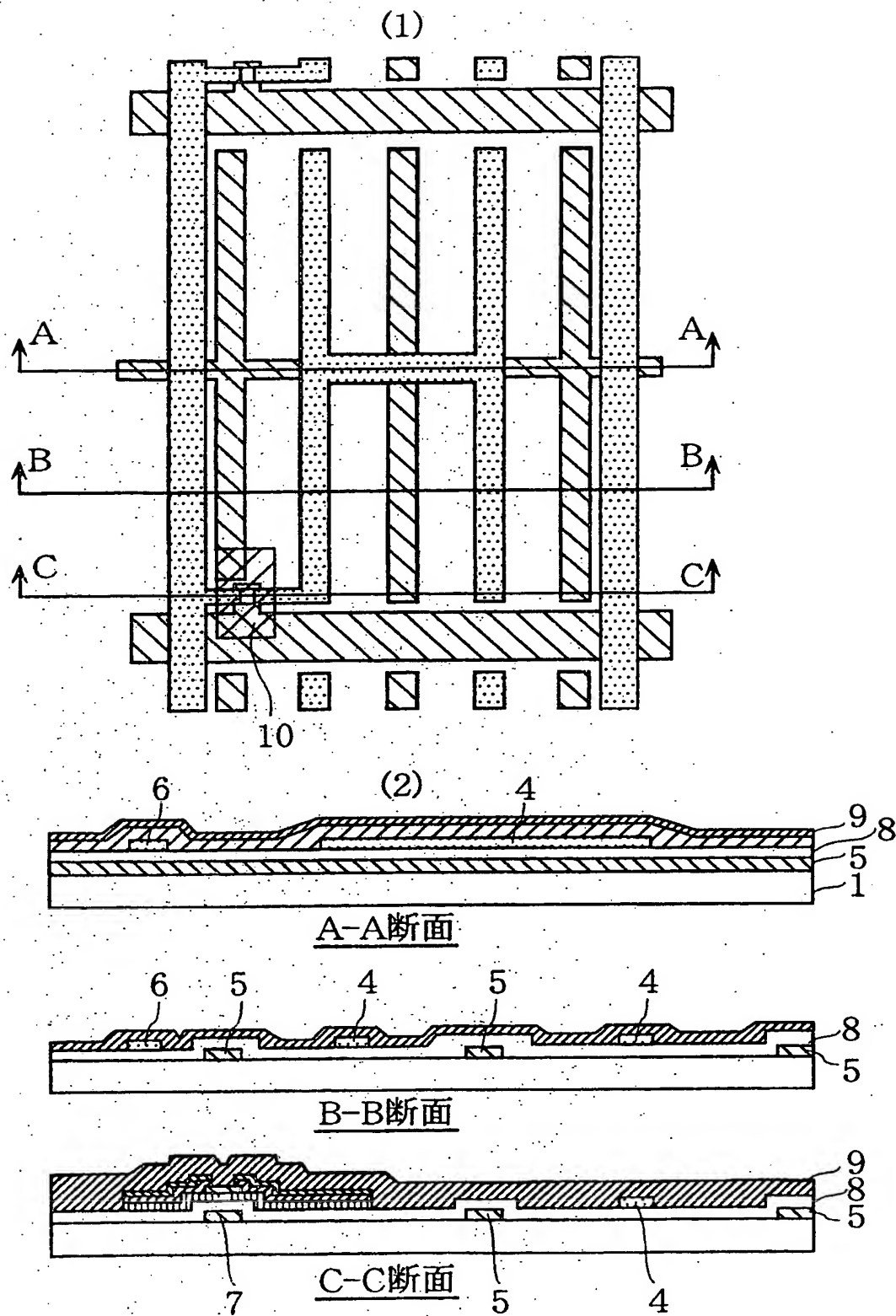




Fig. 36

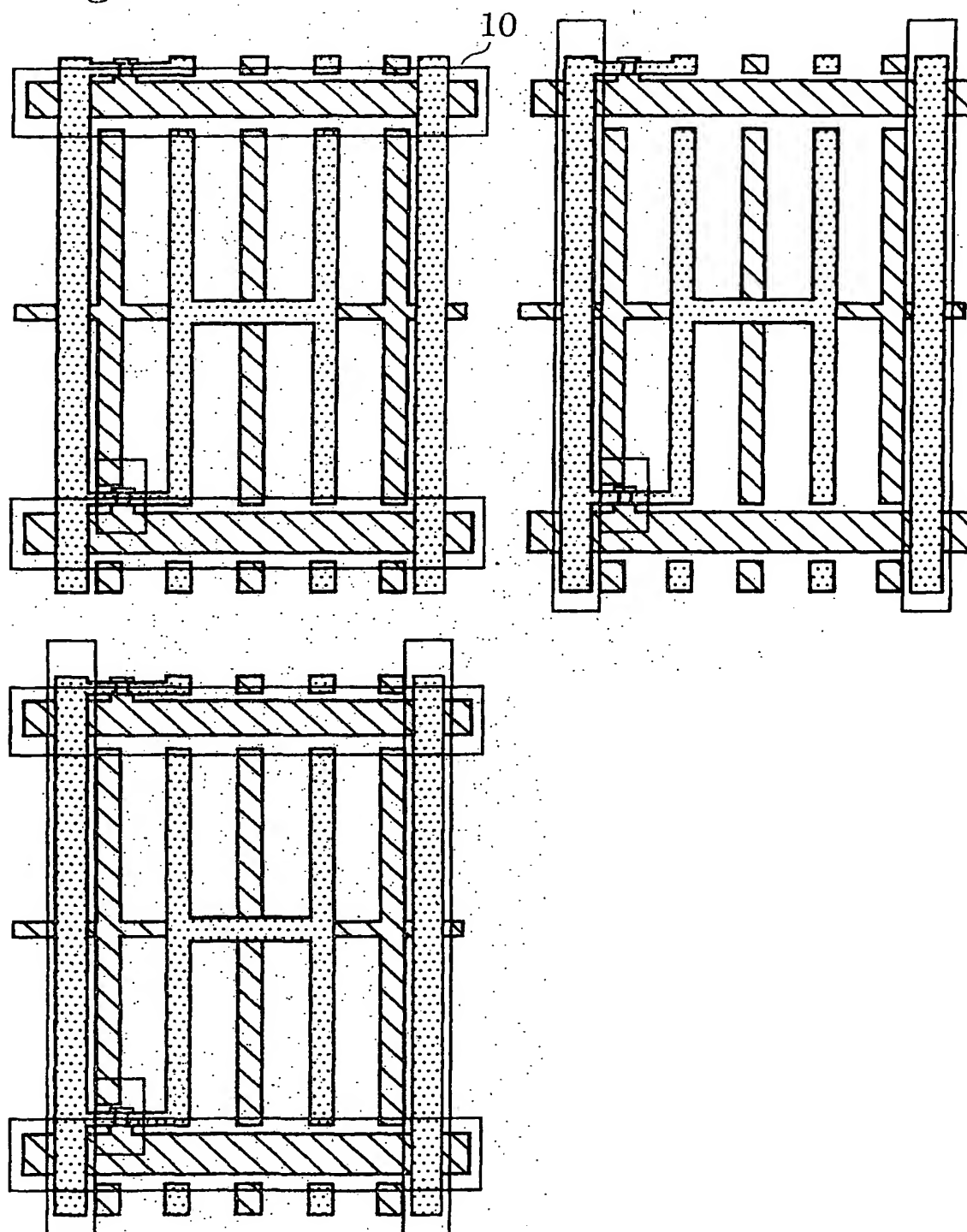




Fig. 37

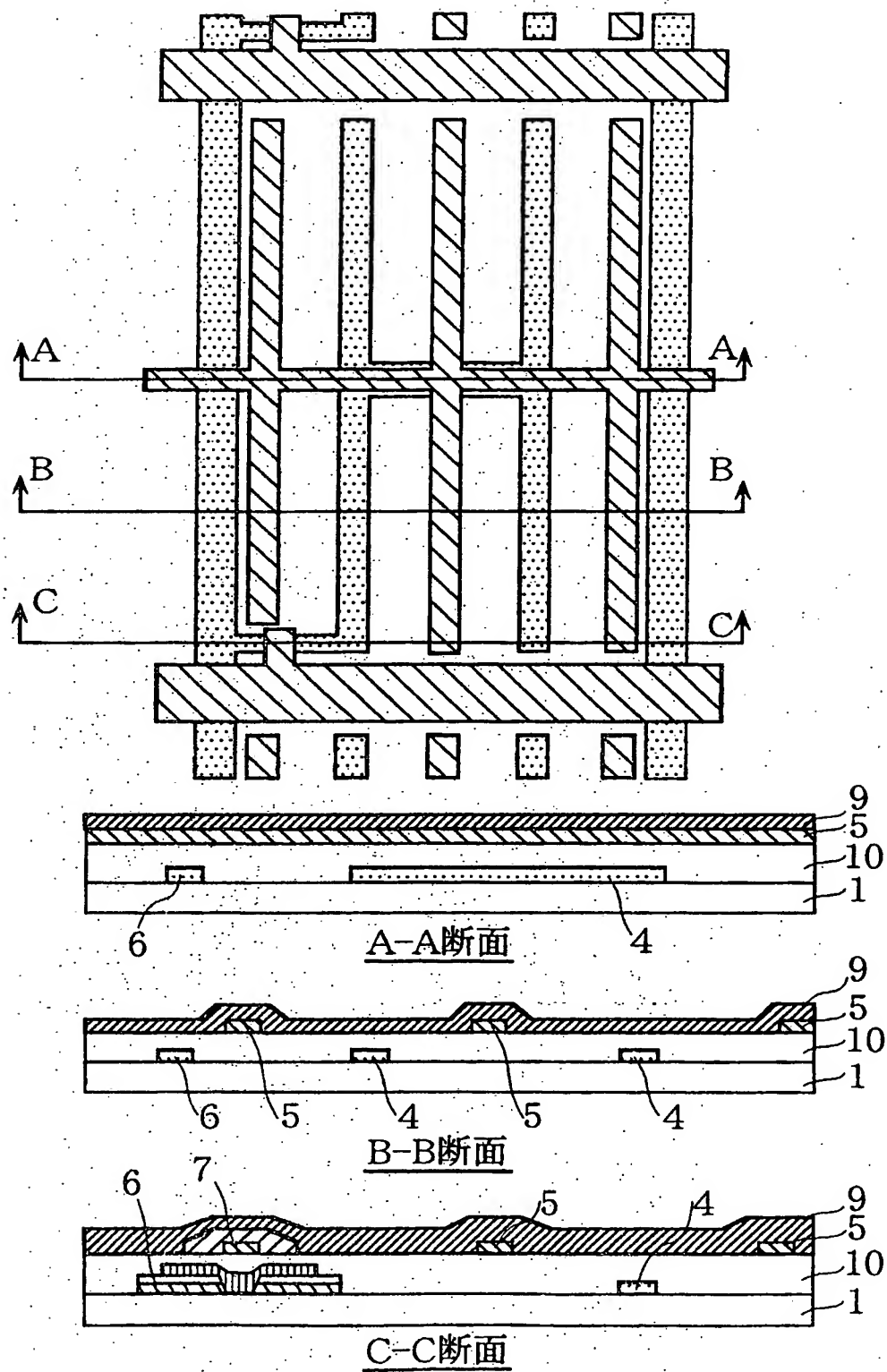




Fig. 38

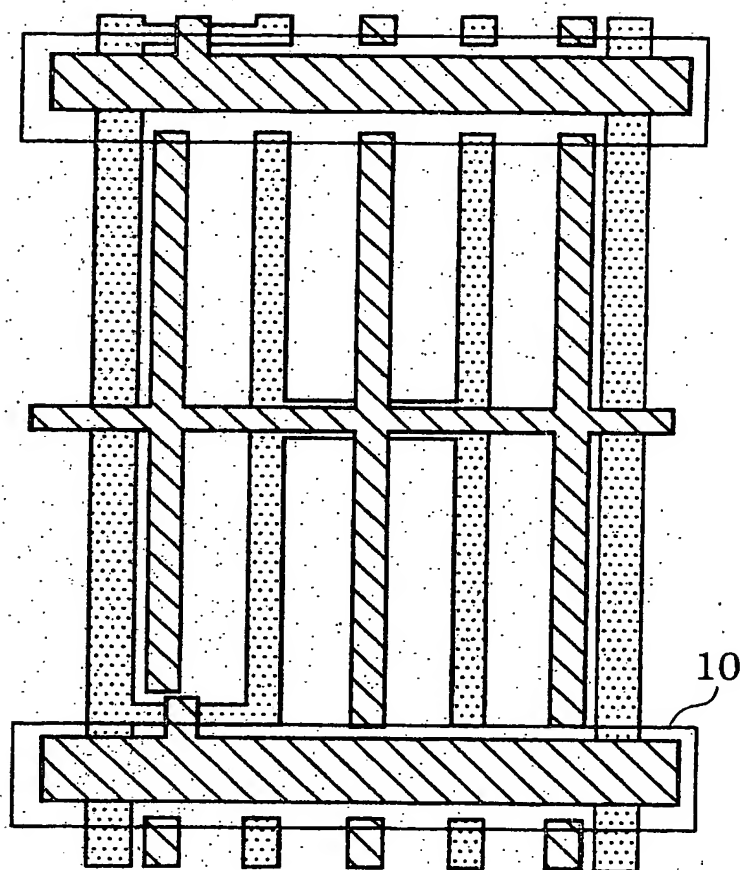




Fig. 39

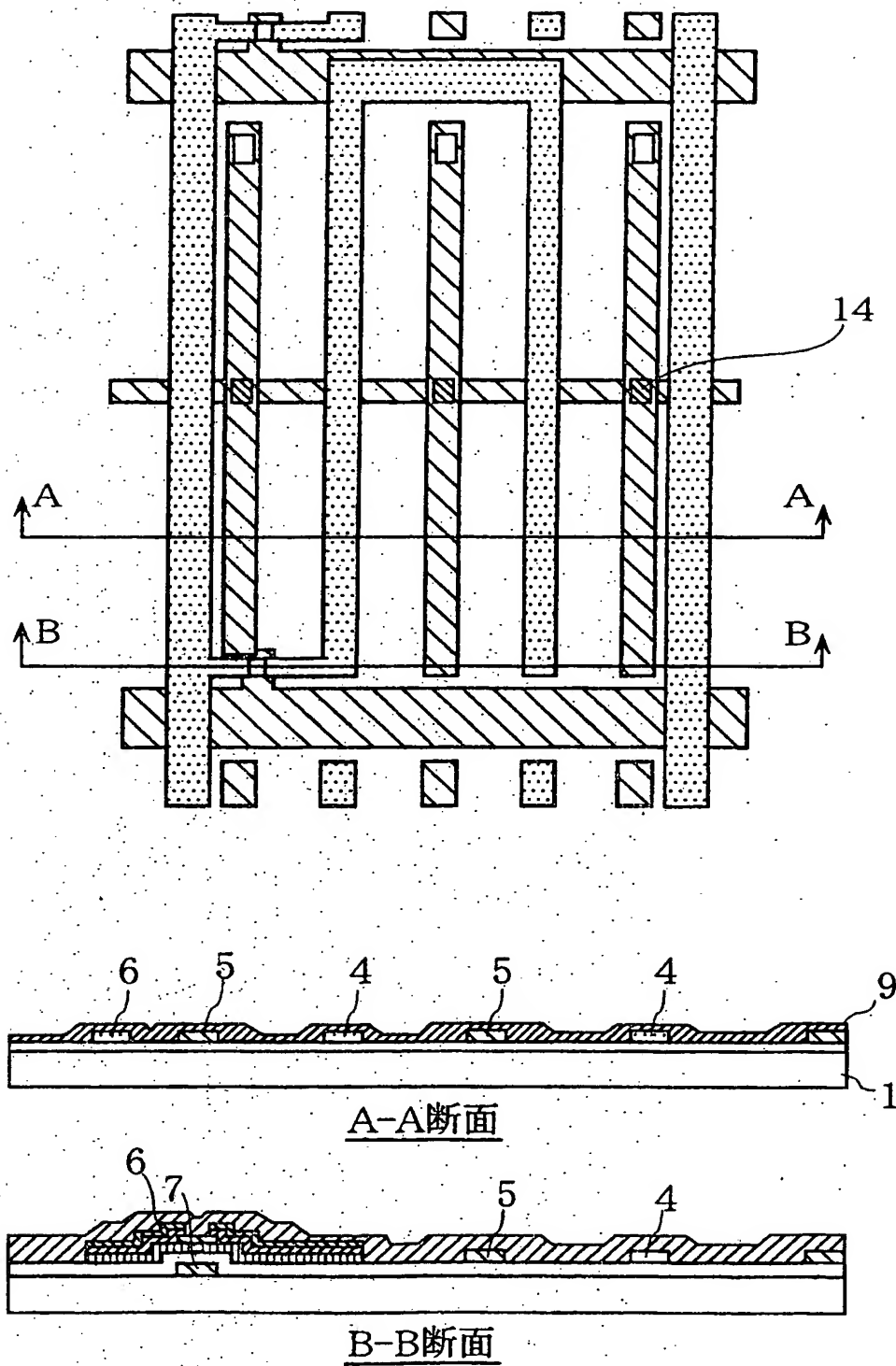




Fig. 40

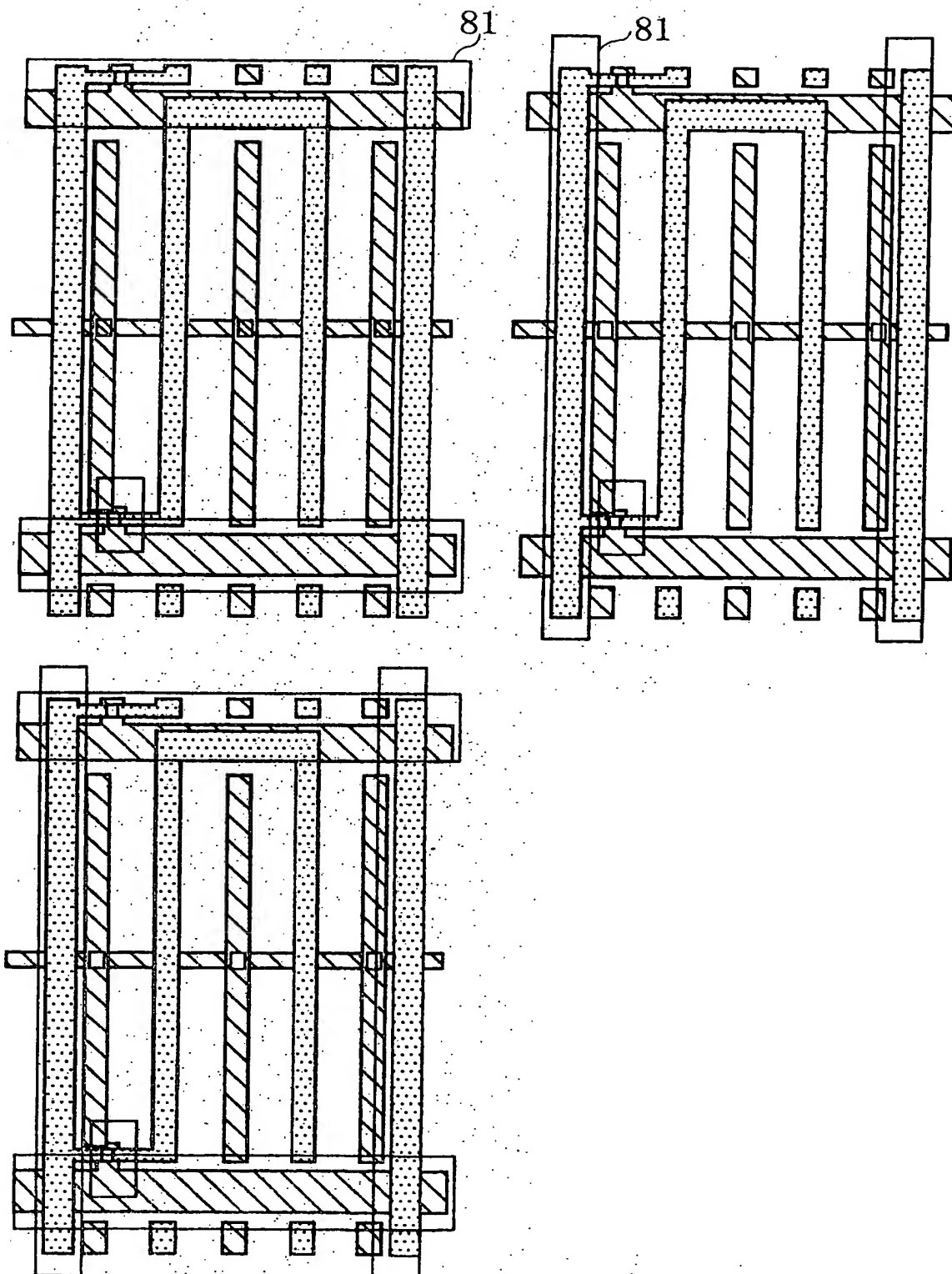




Fig. 41

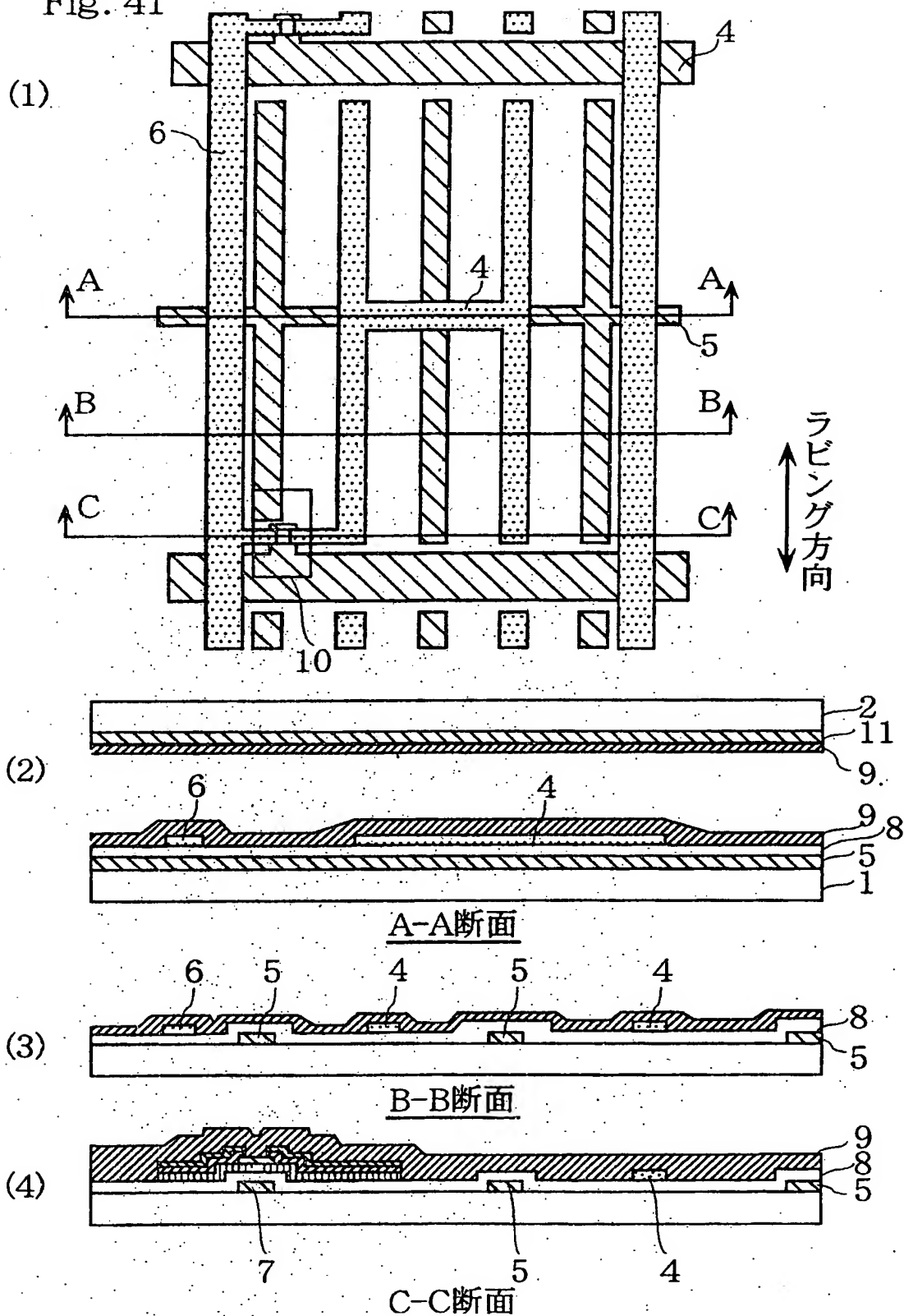




Fig. 42

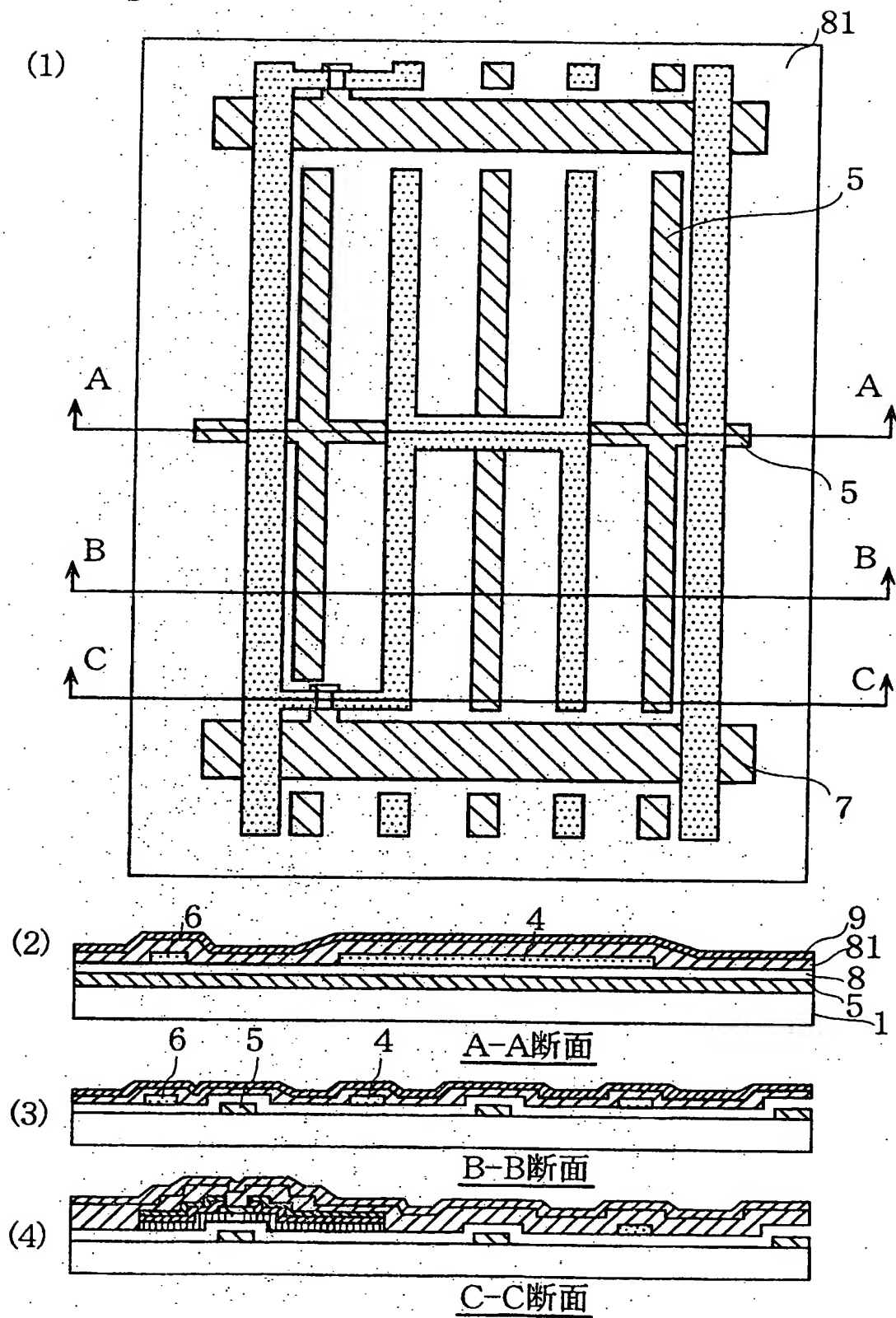




Fig. 43

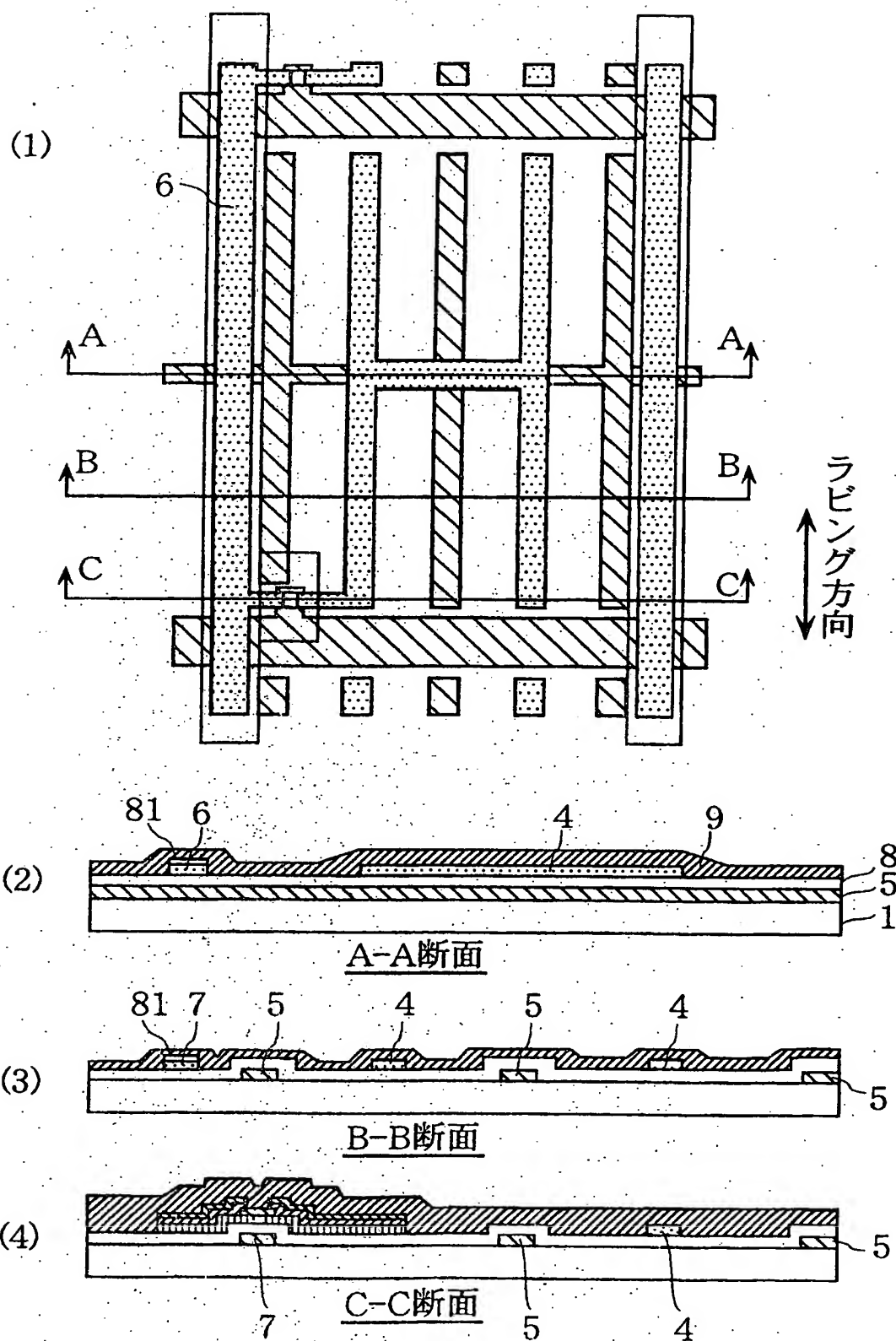




Fig. 44

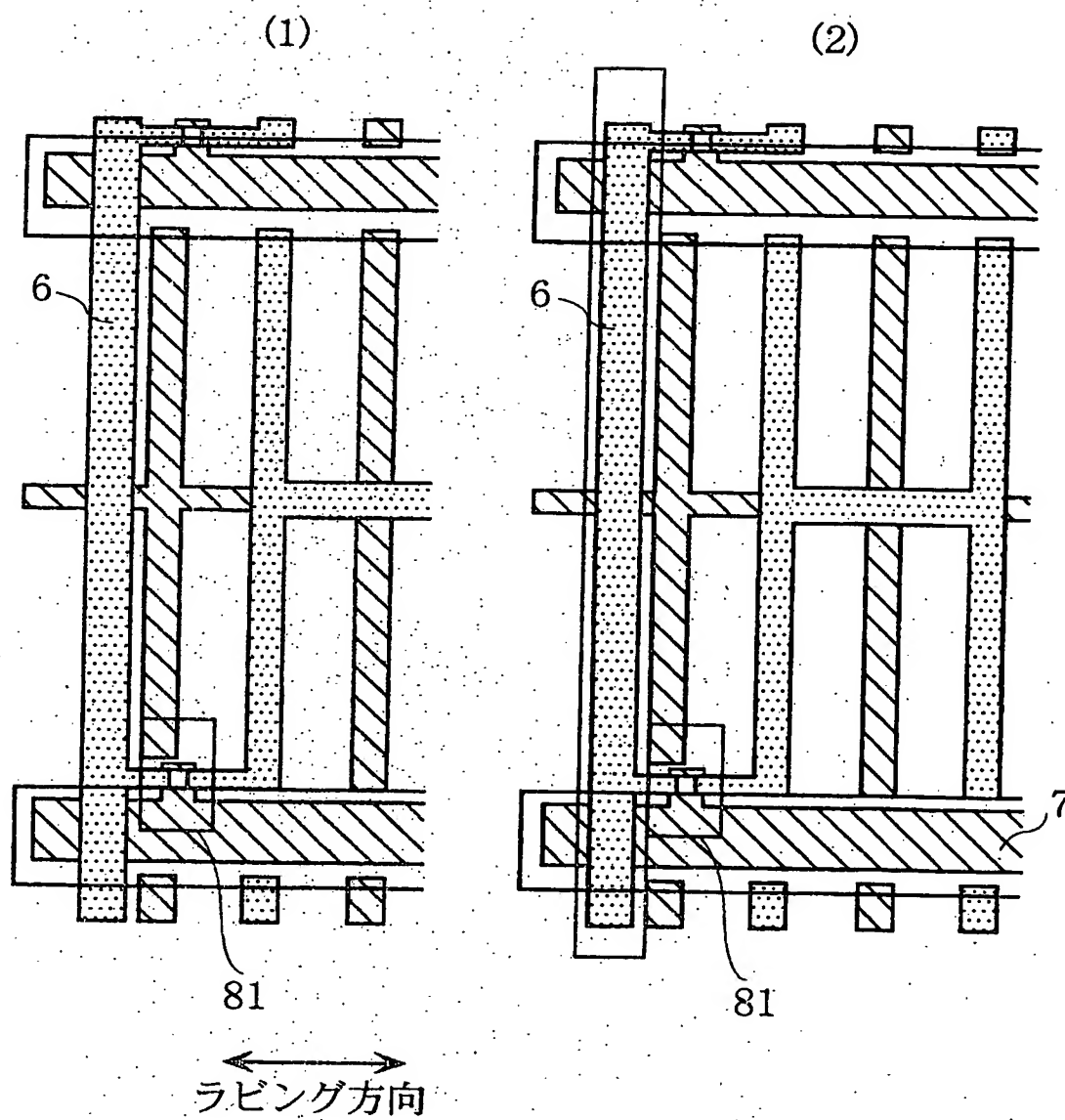




Fig. 45

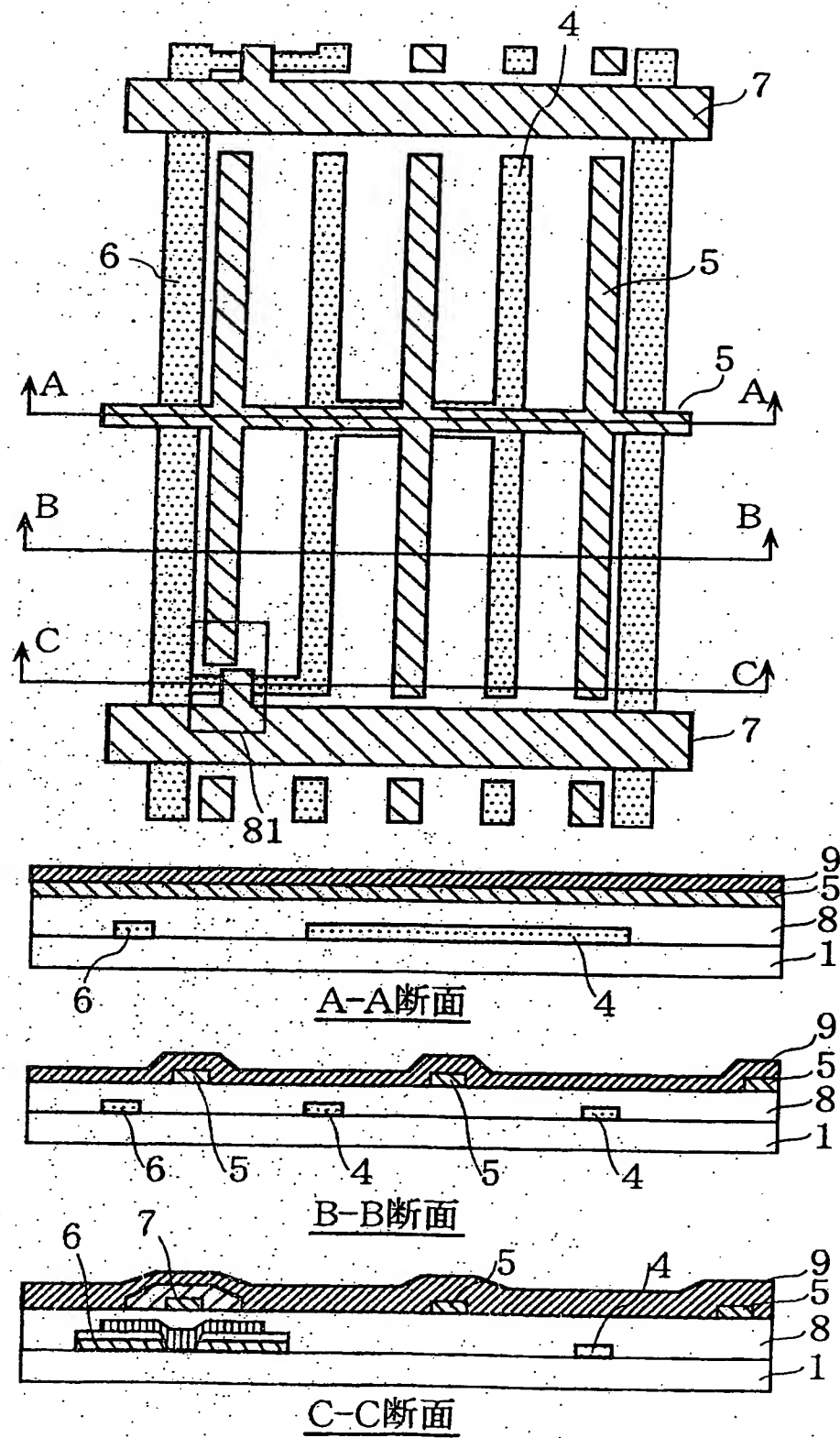




Fig. 46

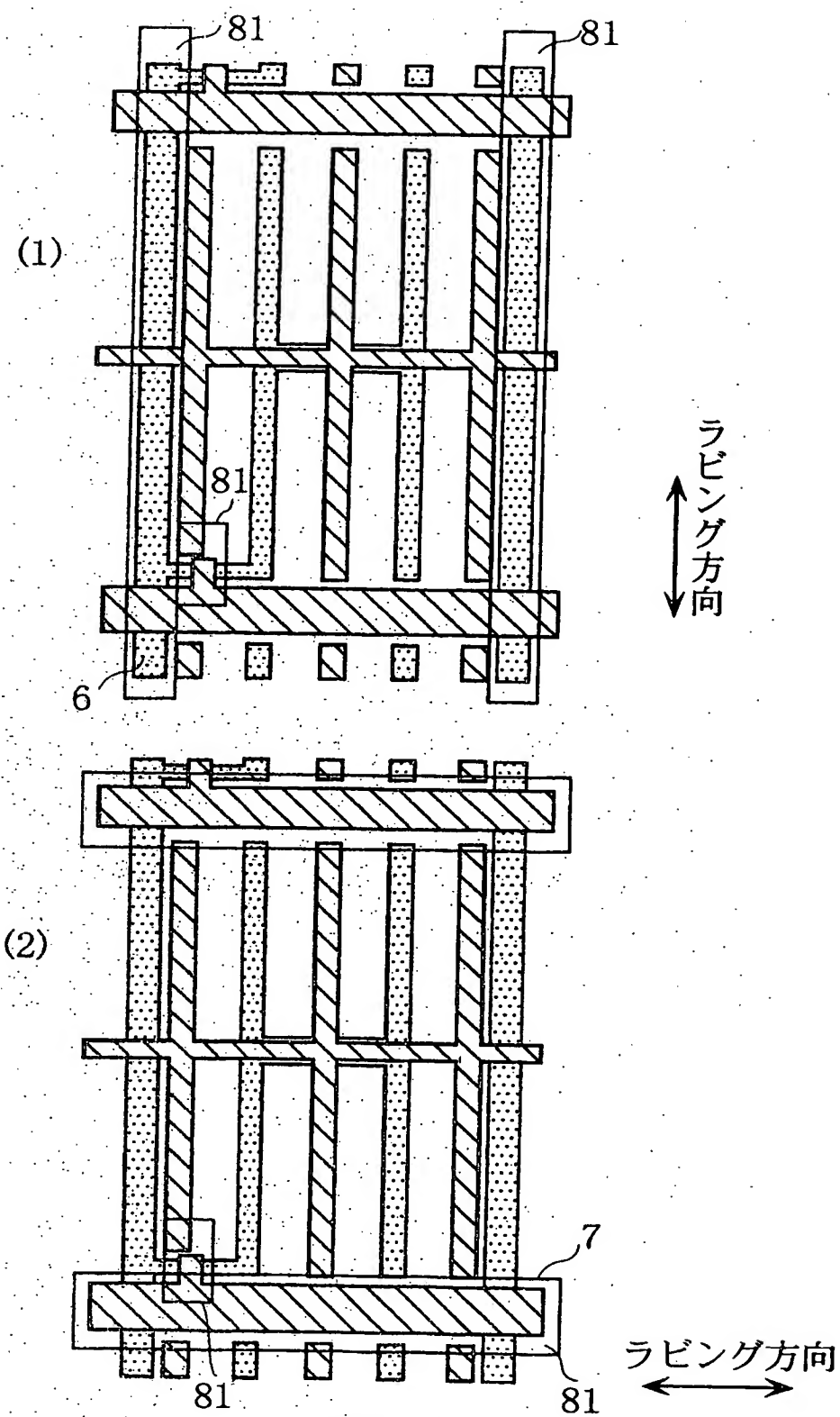




Fig. 47

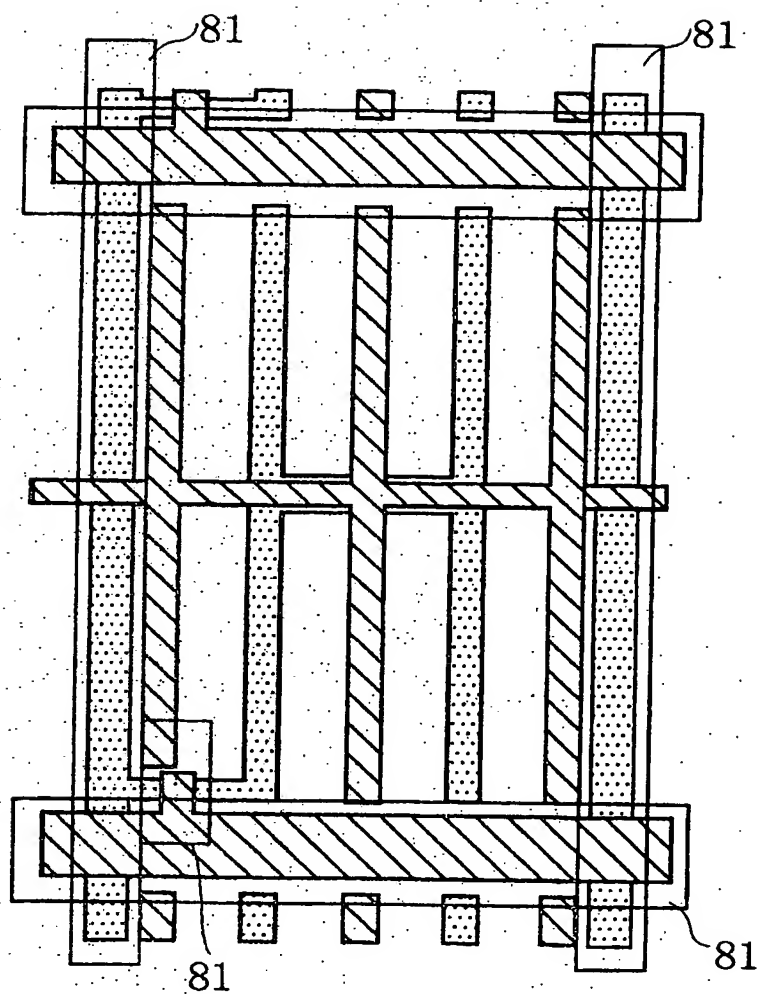




Fig. 48

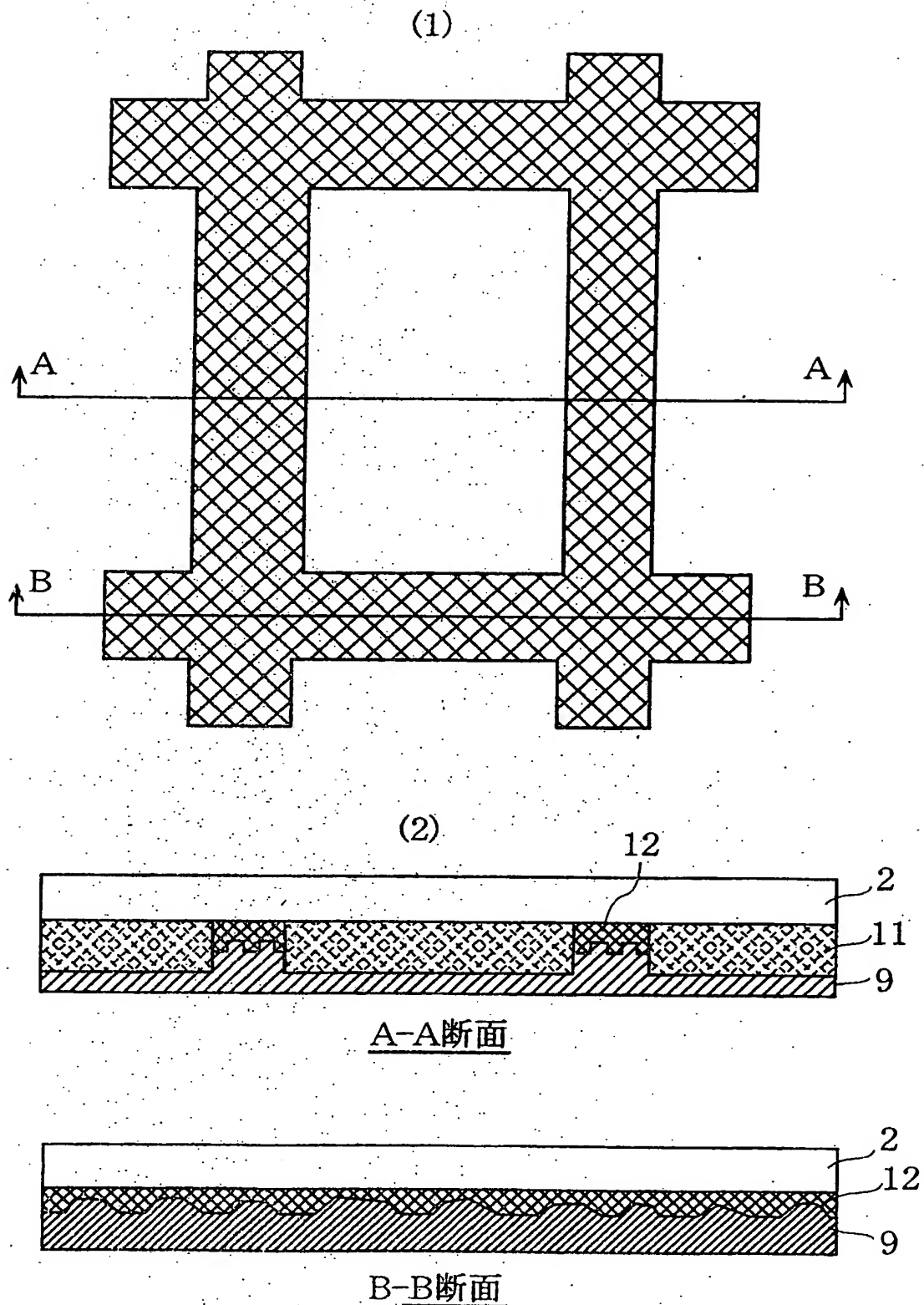




Fig. 49

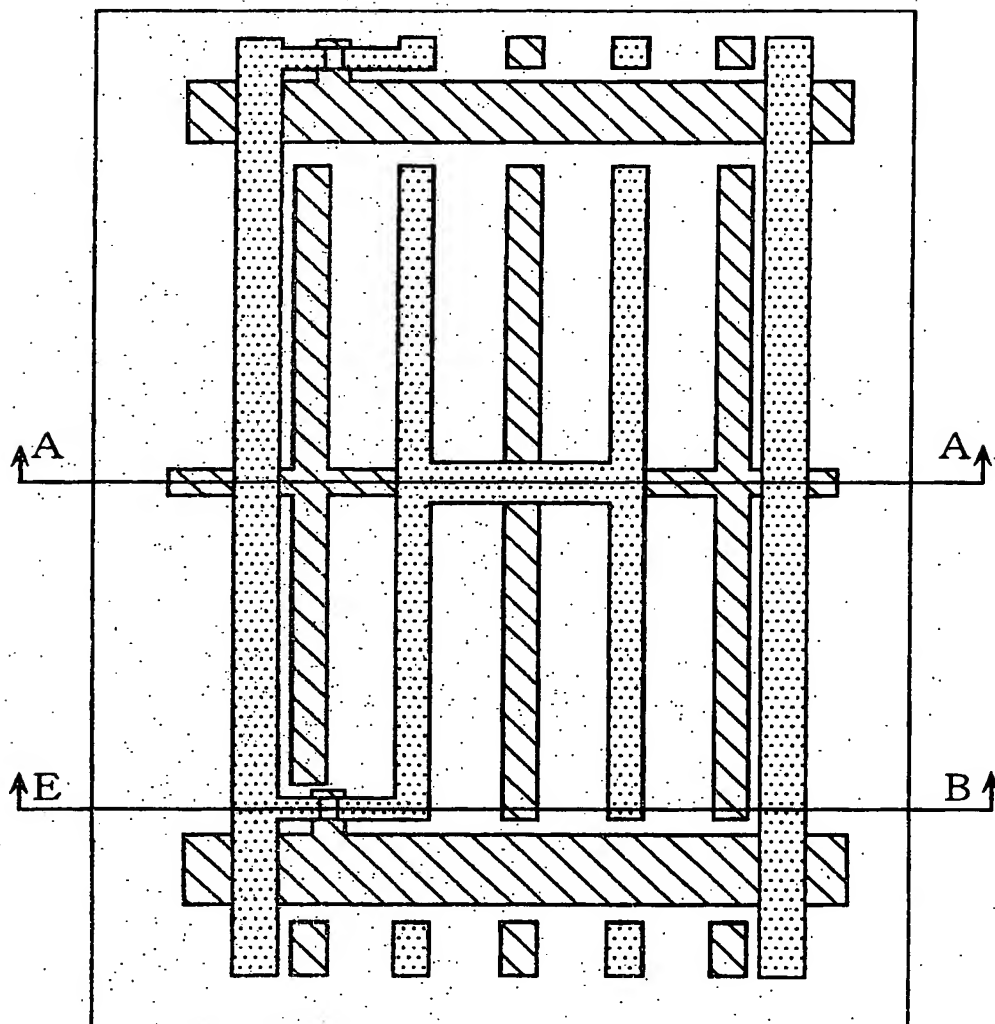




Fig. 50

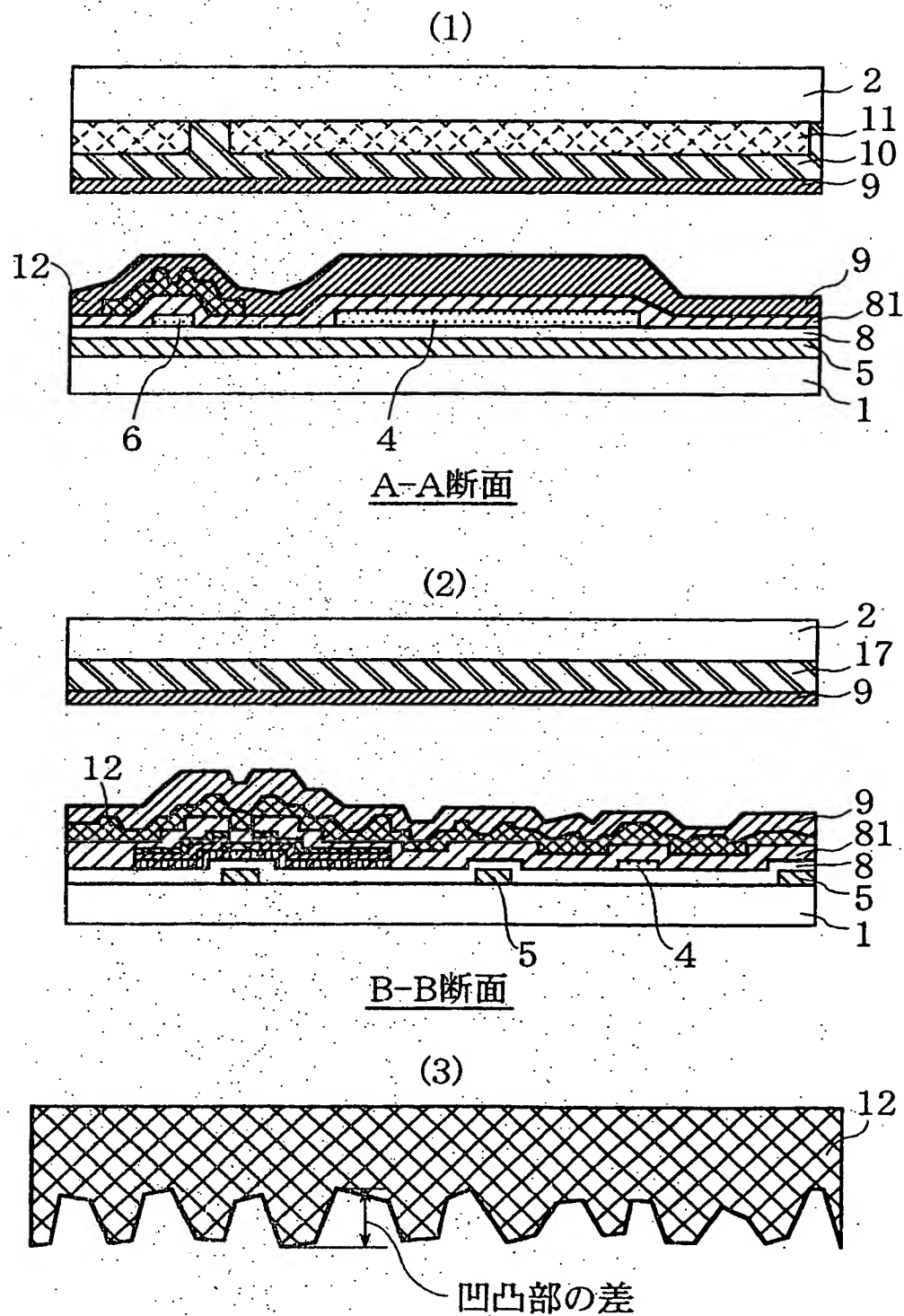




Fig. 51

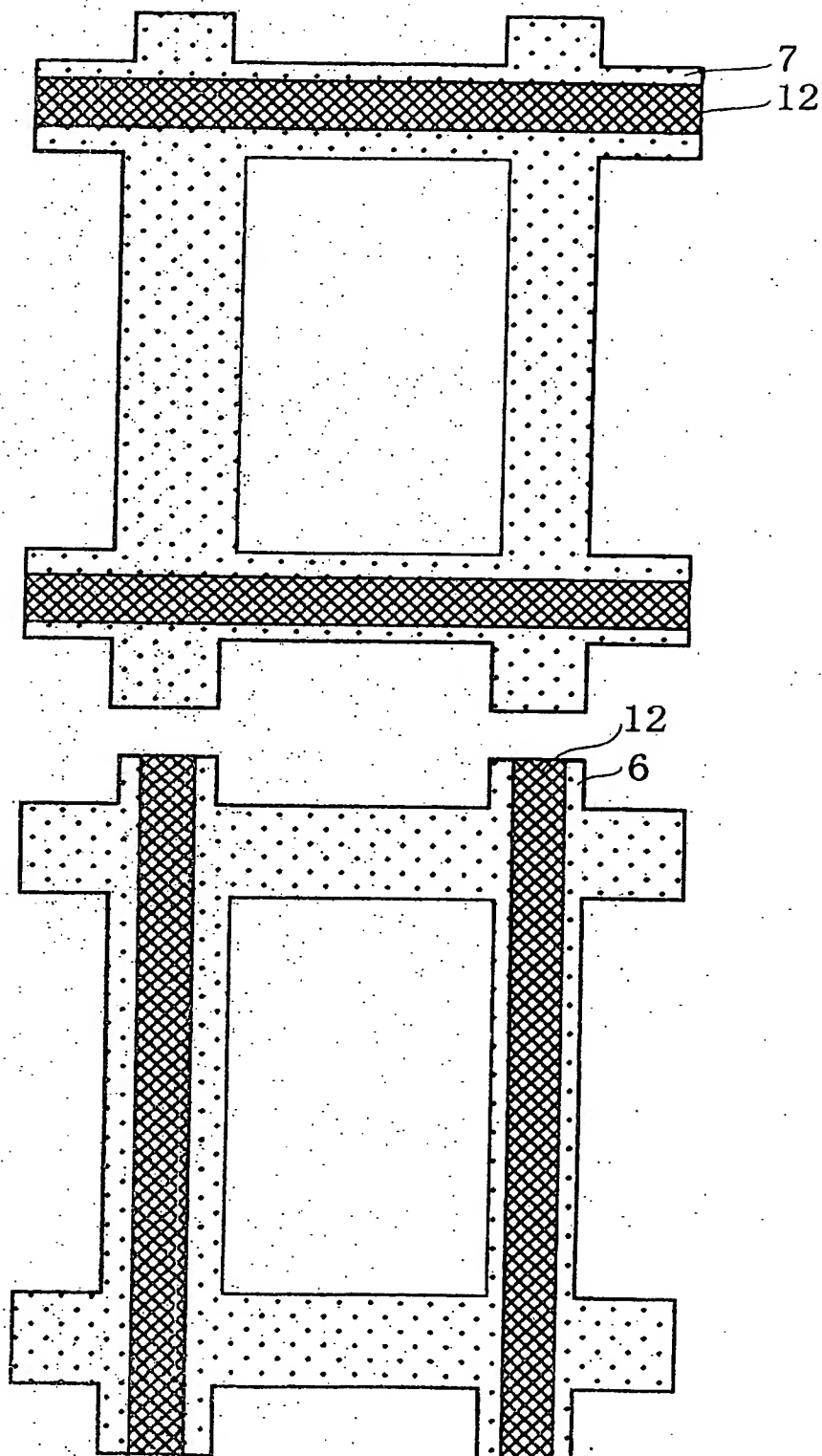




Fig. 52

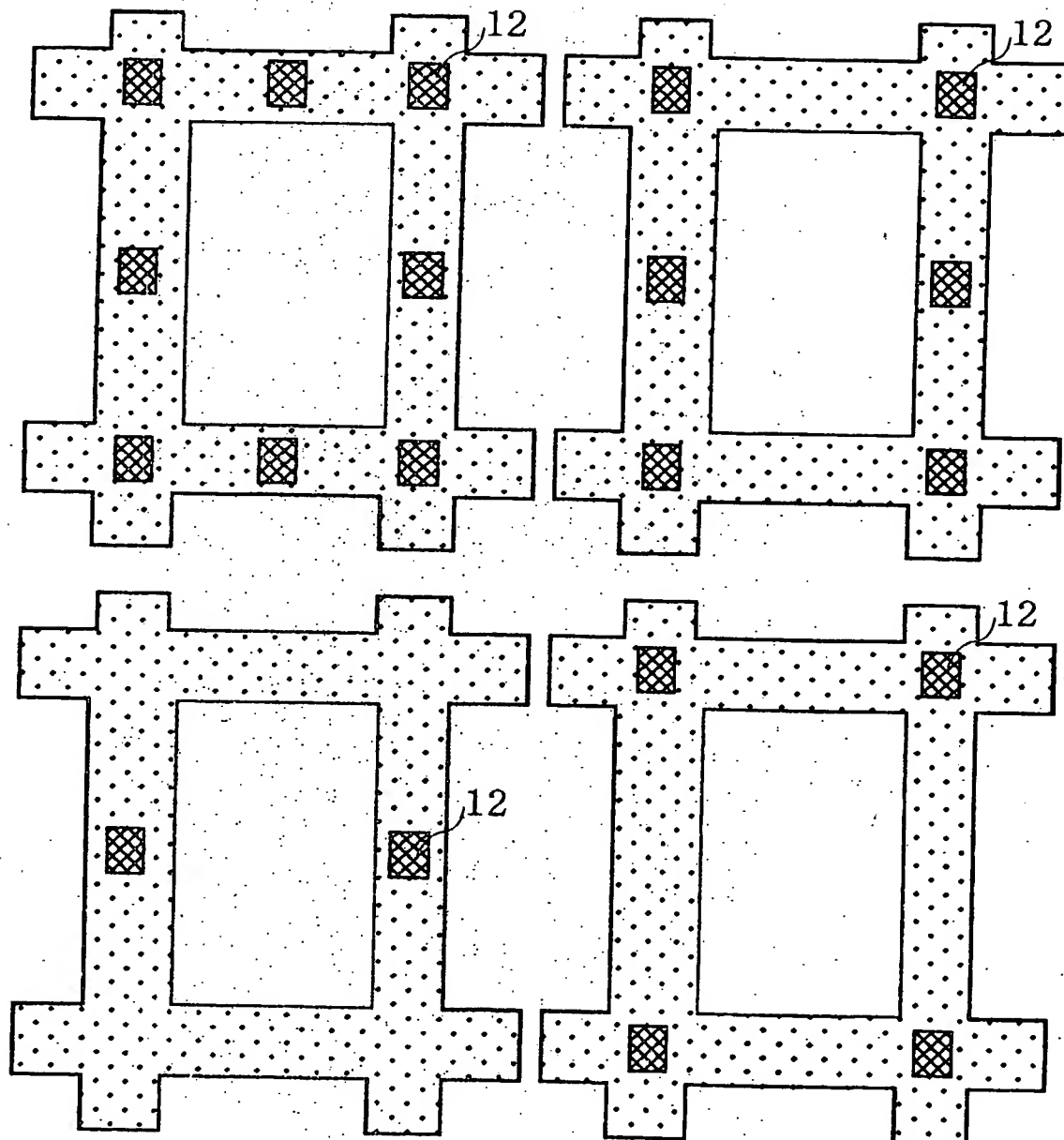




Fig. 53

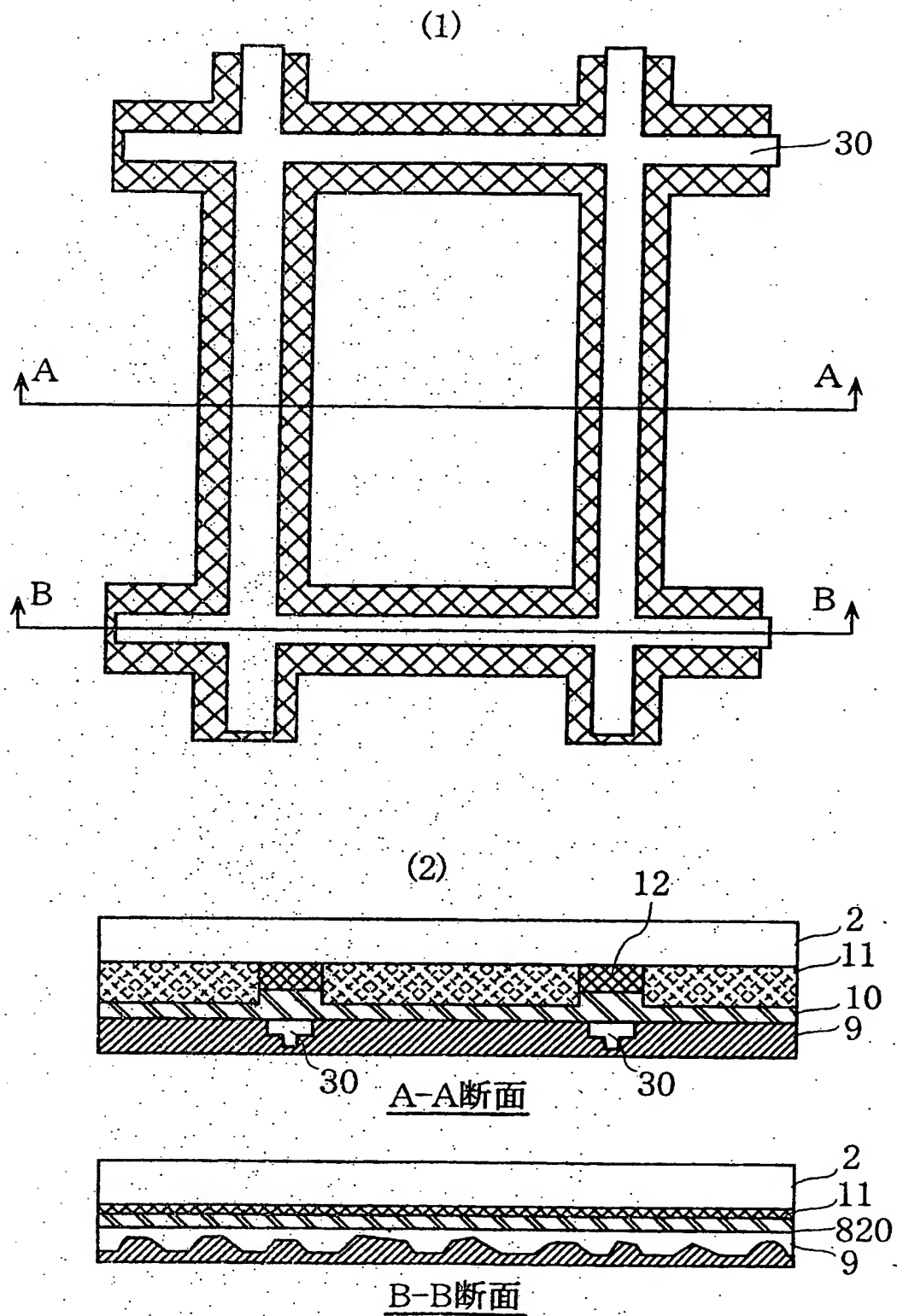




Fig. 54

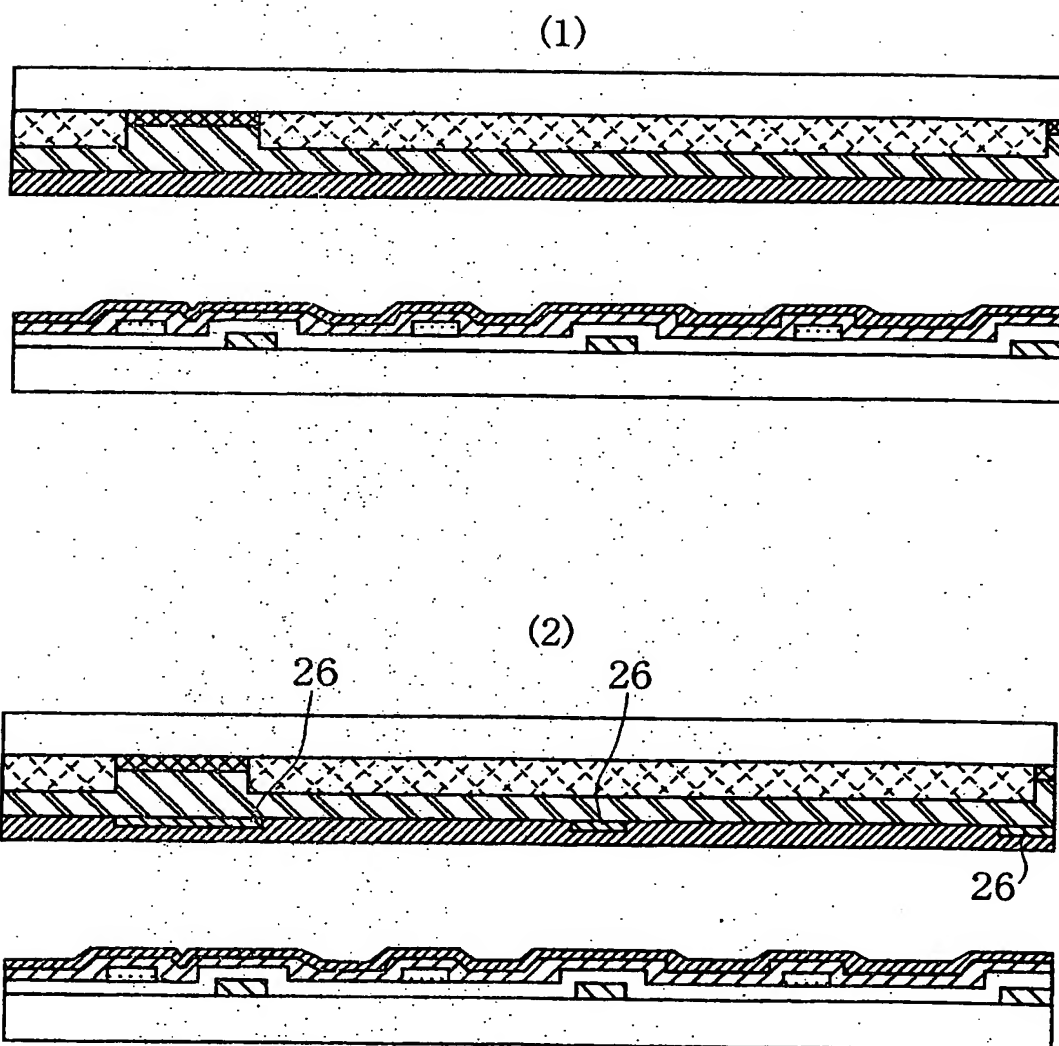




Fig. 55

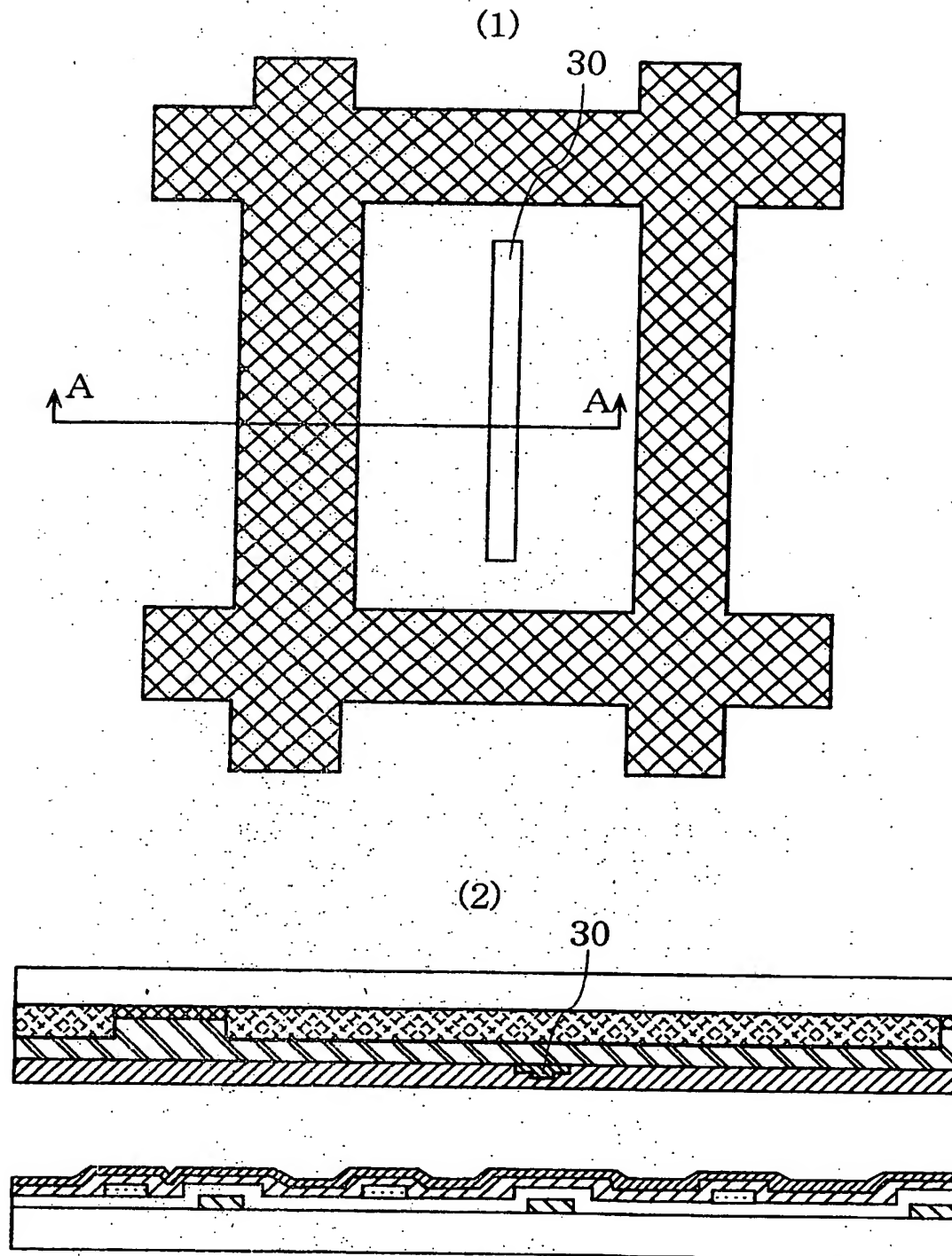
A-A断面



Fig. 56

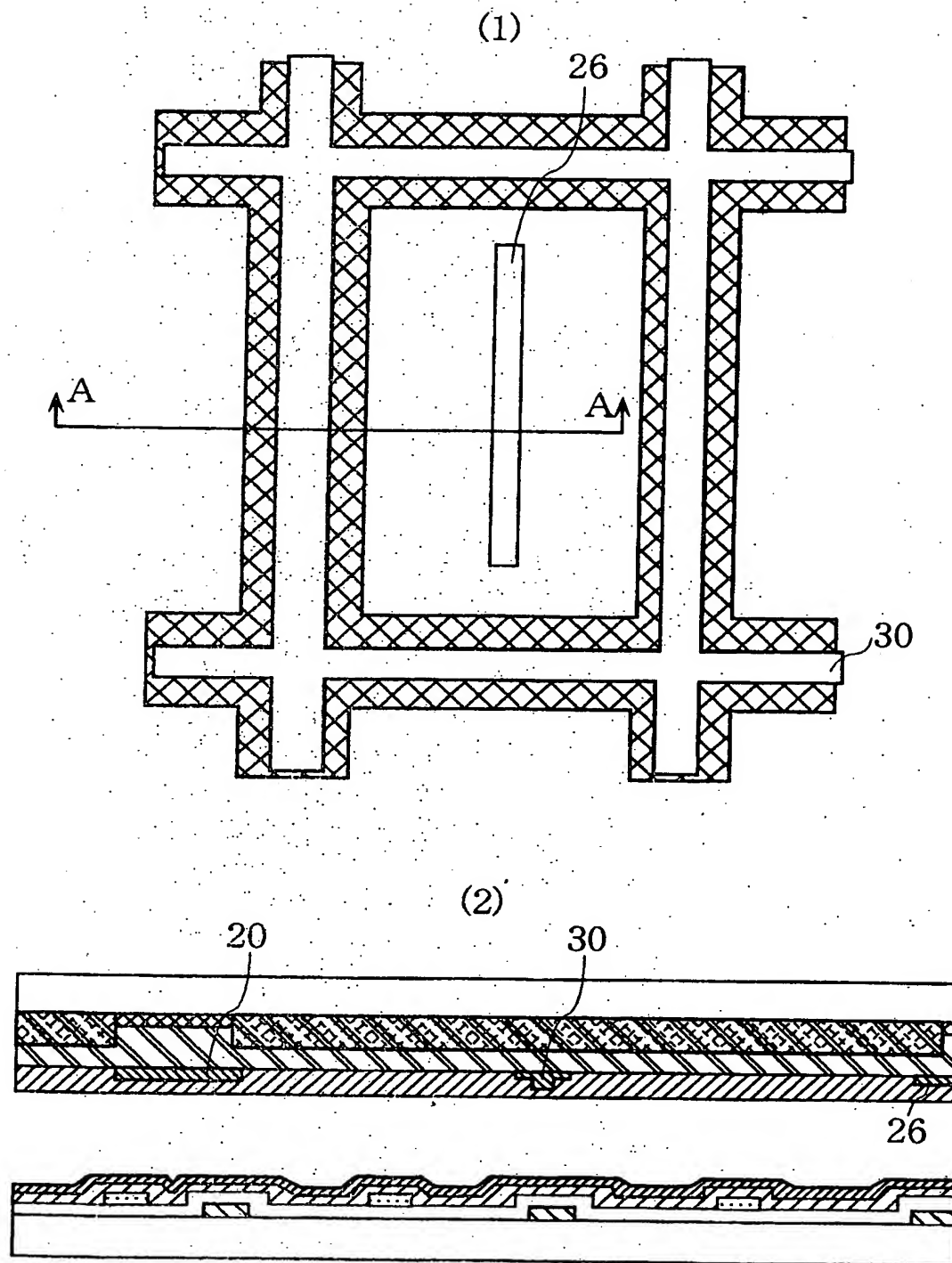




Fig. 57

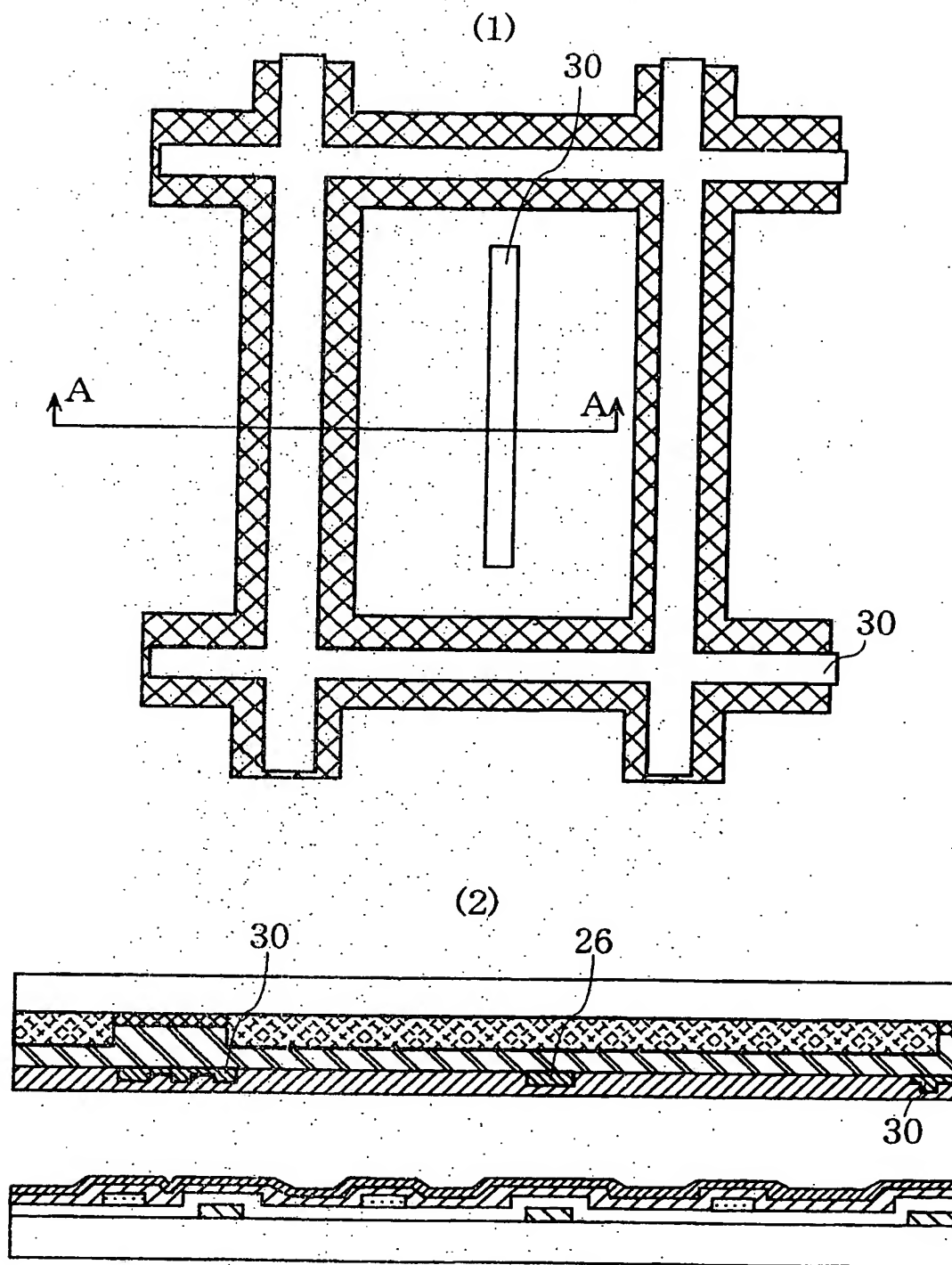




Fig. 58

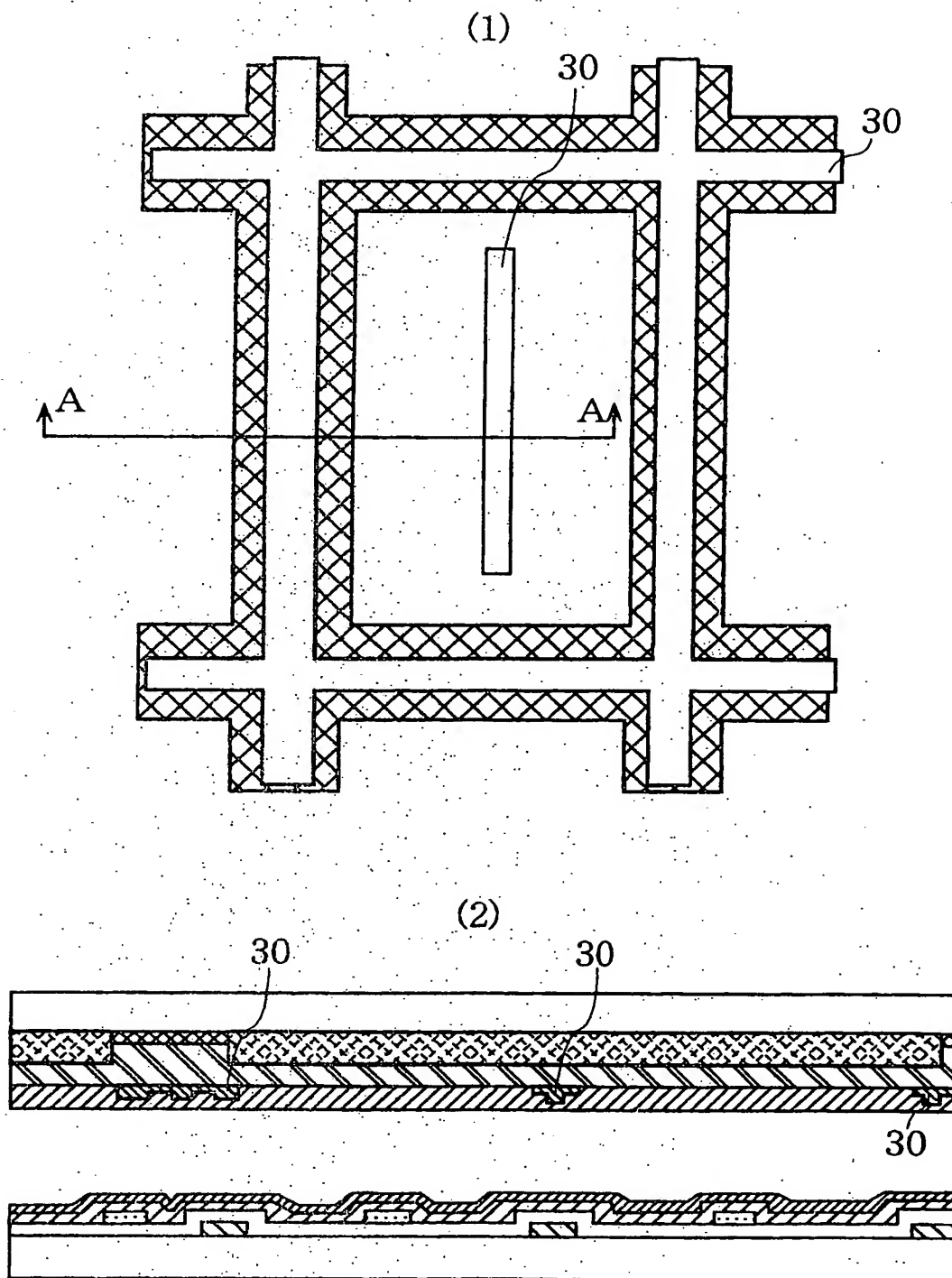




Fig. 59

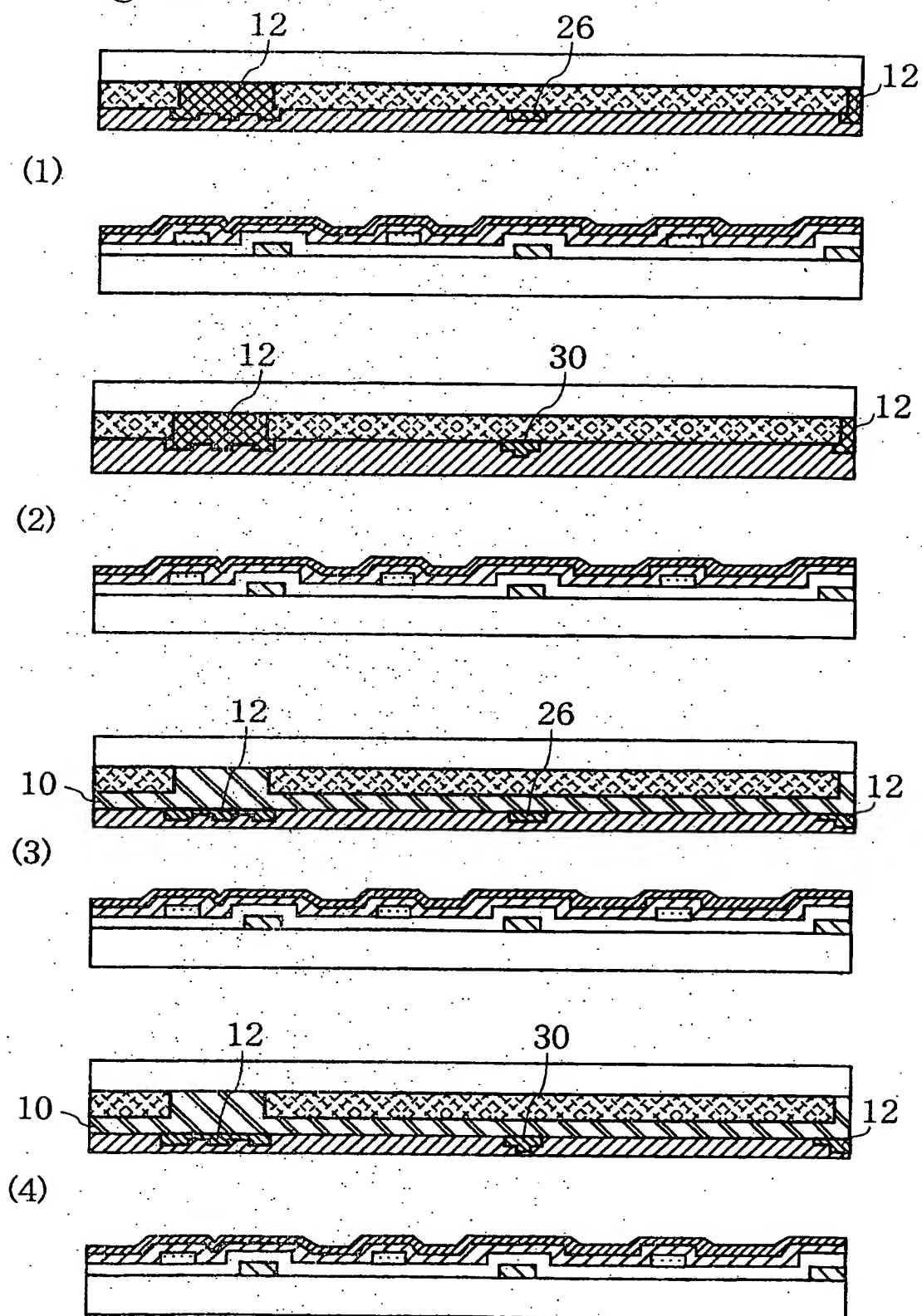






Fig. 61

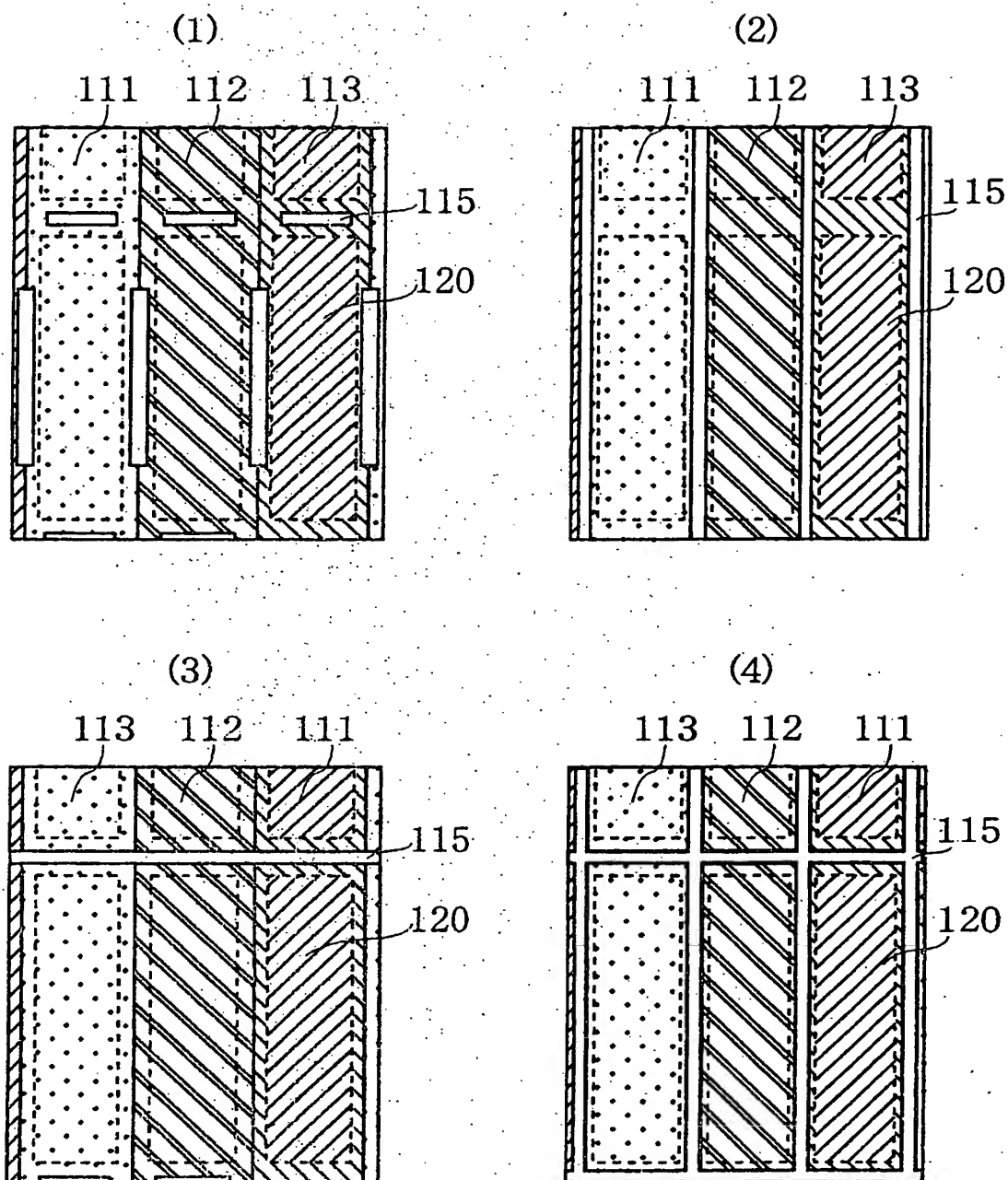




Fig. 62

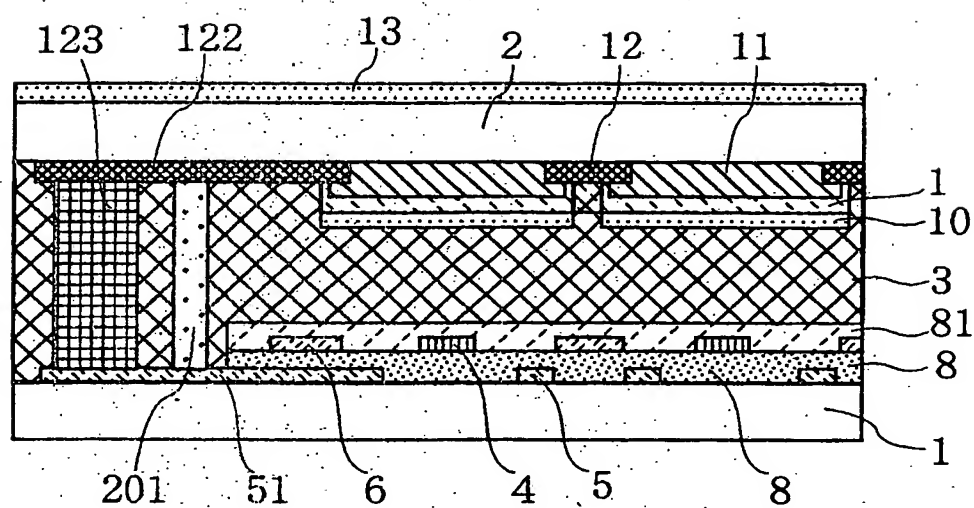




Fig. 63

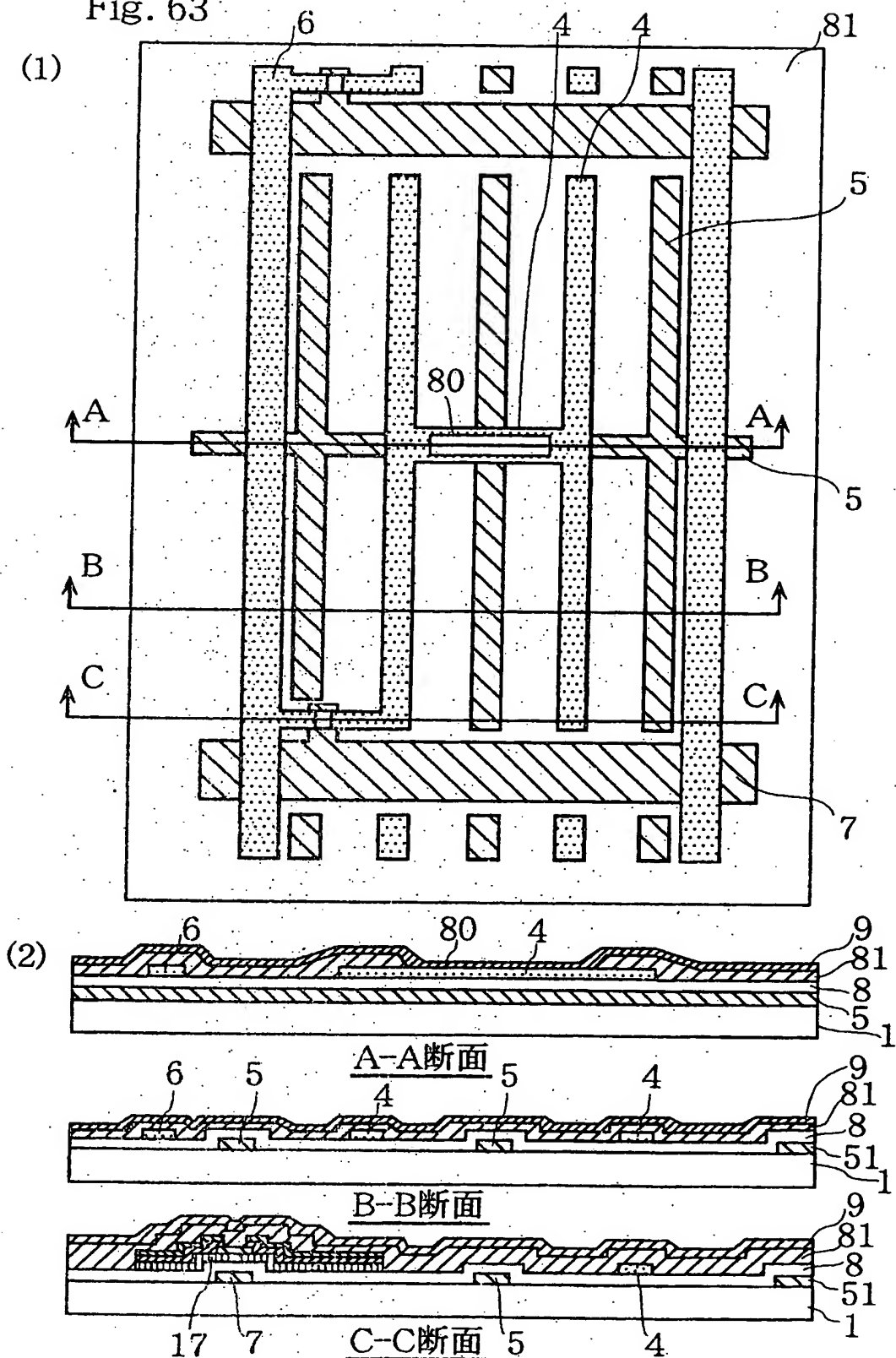
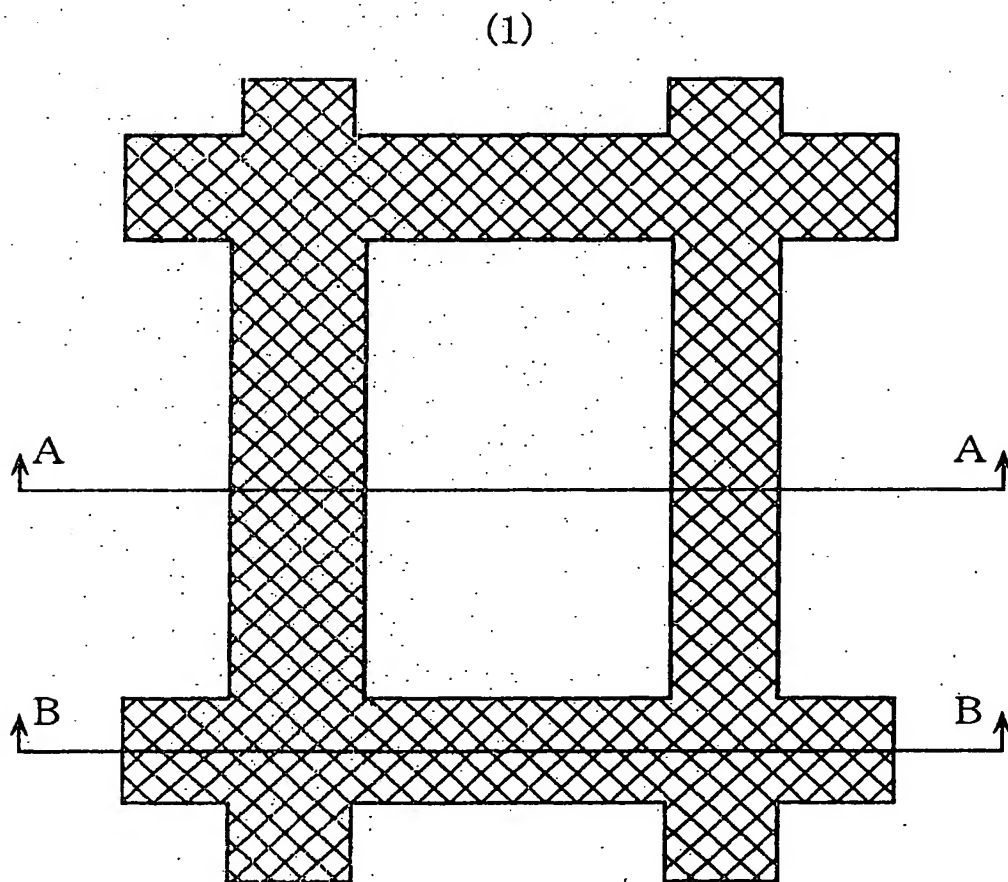
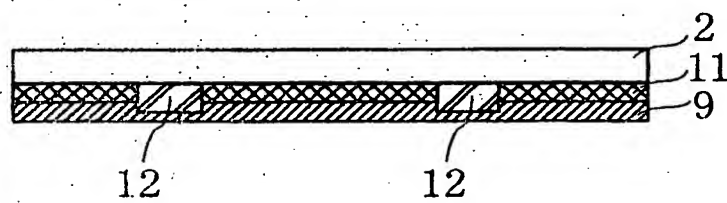




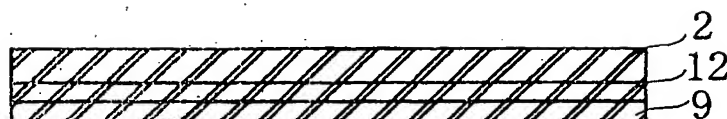
Fig. 64



(2)



A-A断面



B-B断面



Fig. 65

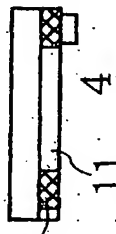
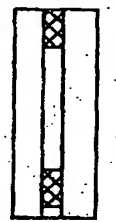
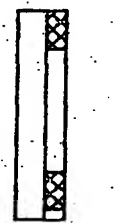
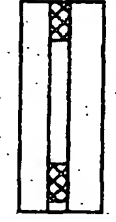
	実施の形態 (2-7-1)	比較例1	比較例2	比較例3
12				
模式図	81			
	8			
	5			
黒点状ムラ の大きさ	0.1mm	5.0mm	2.0mm	2.0mm



Fig. 66

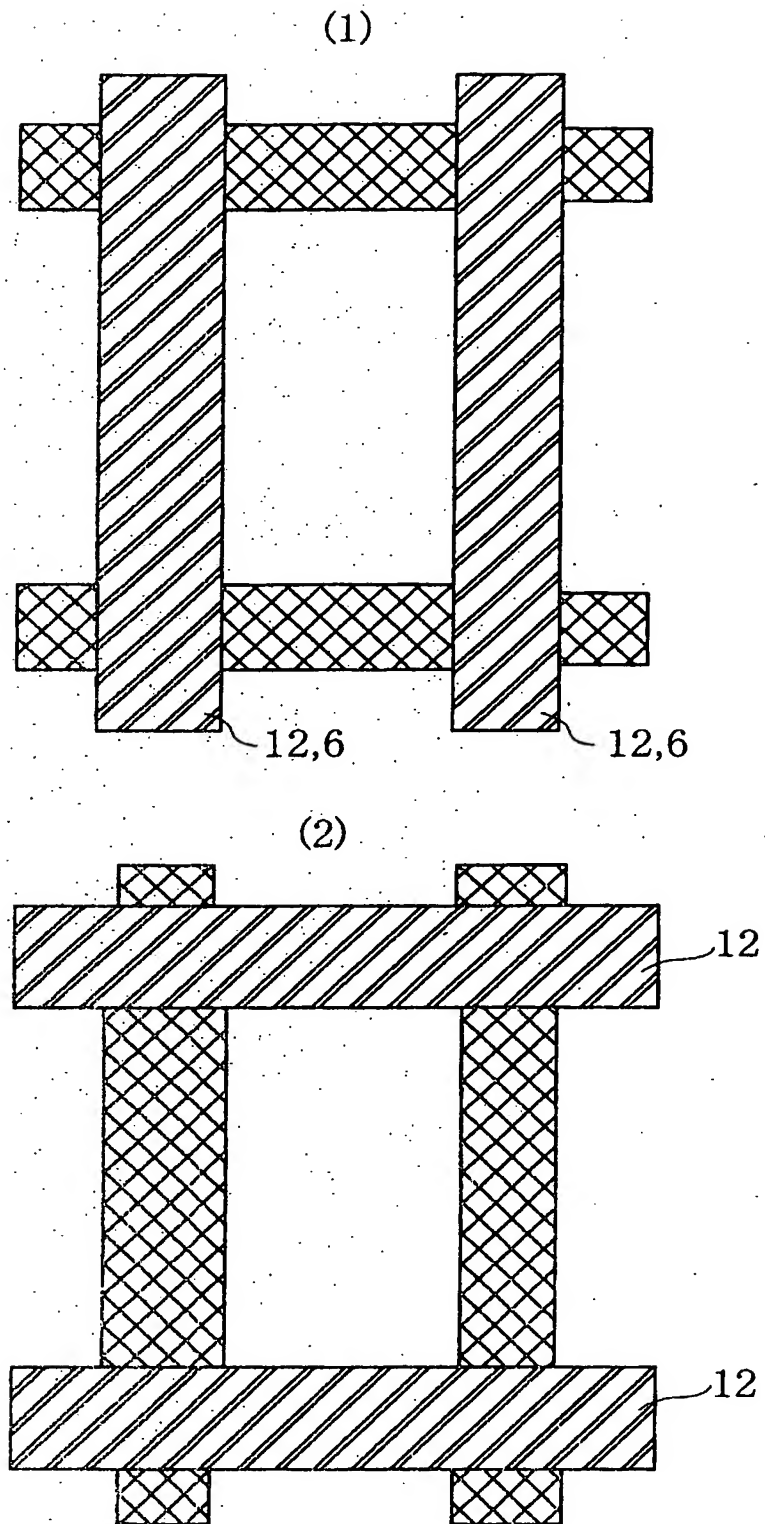




Fig. 67

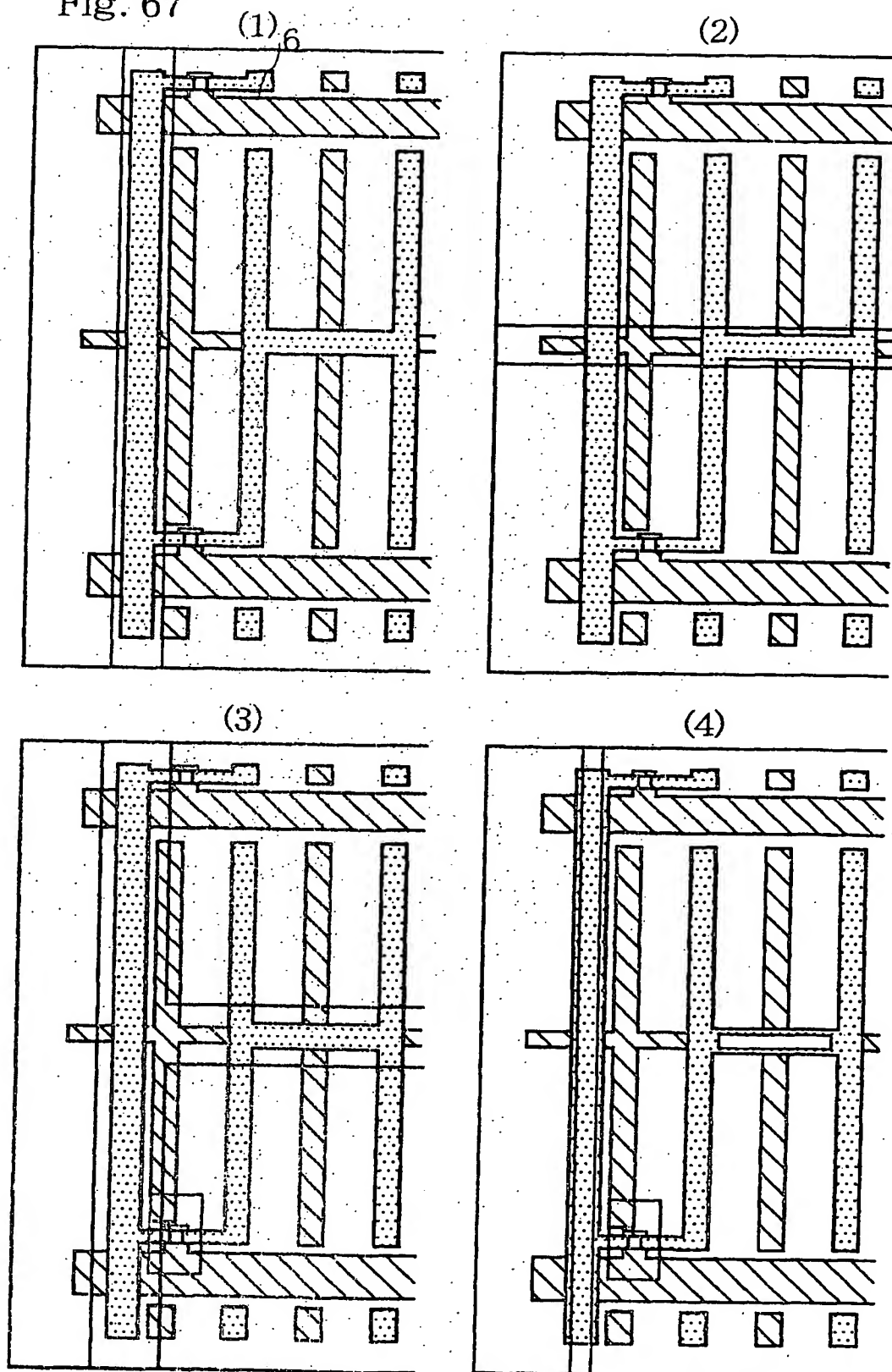




Fig. 68

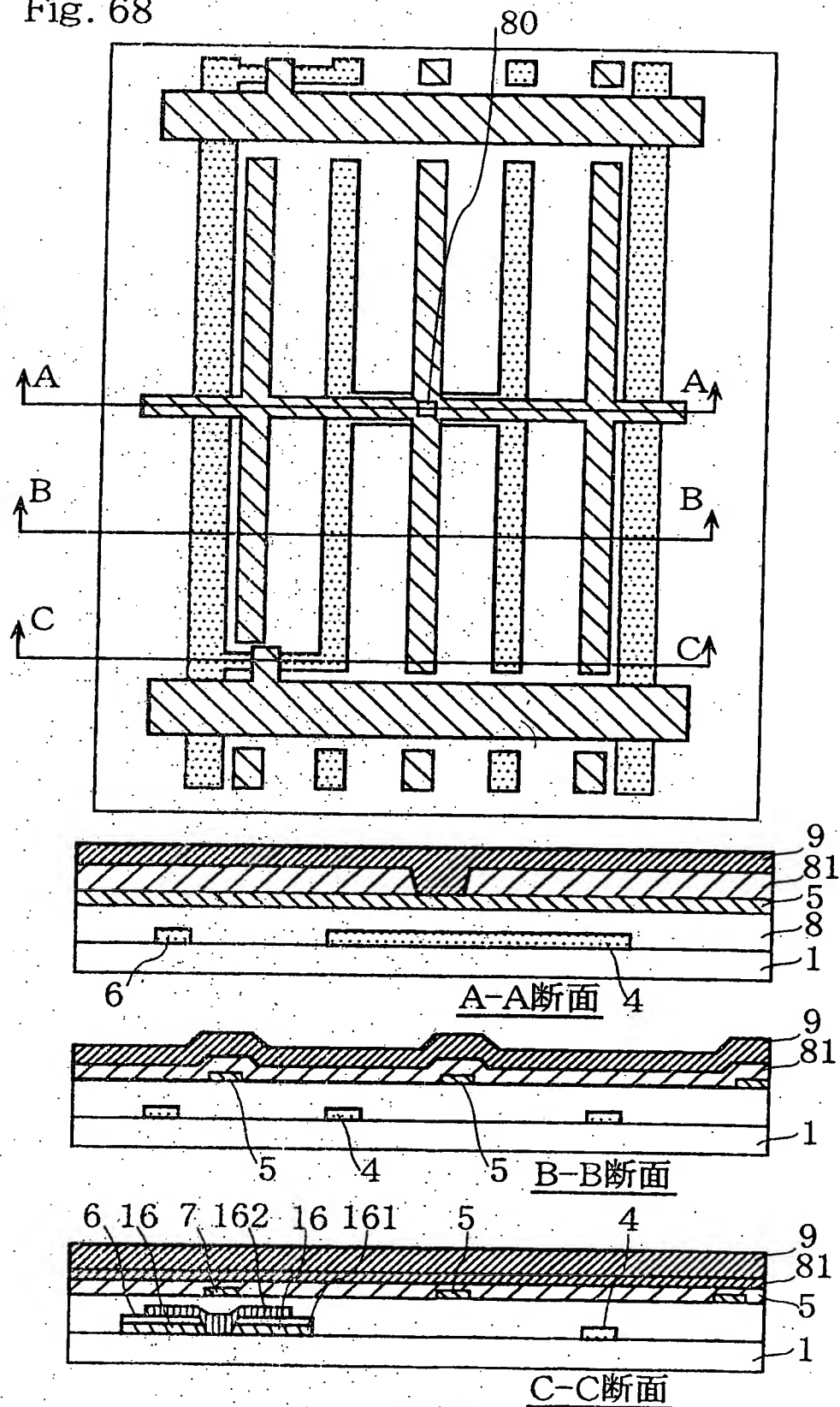




Fig. 69

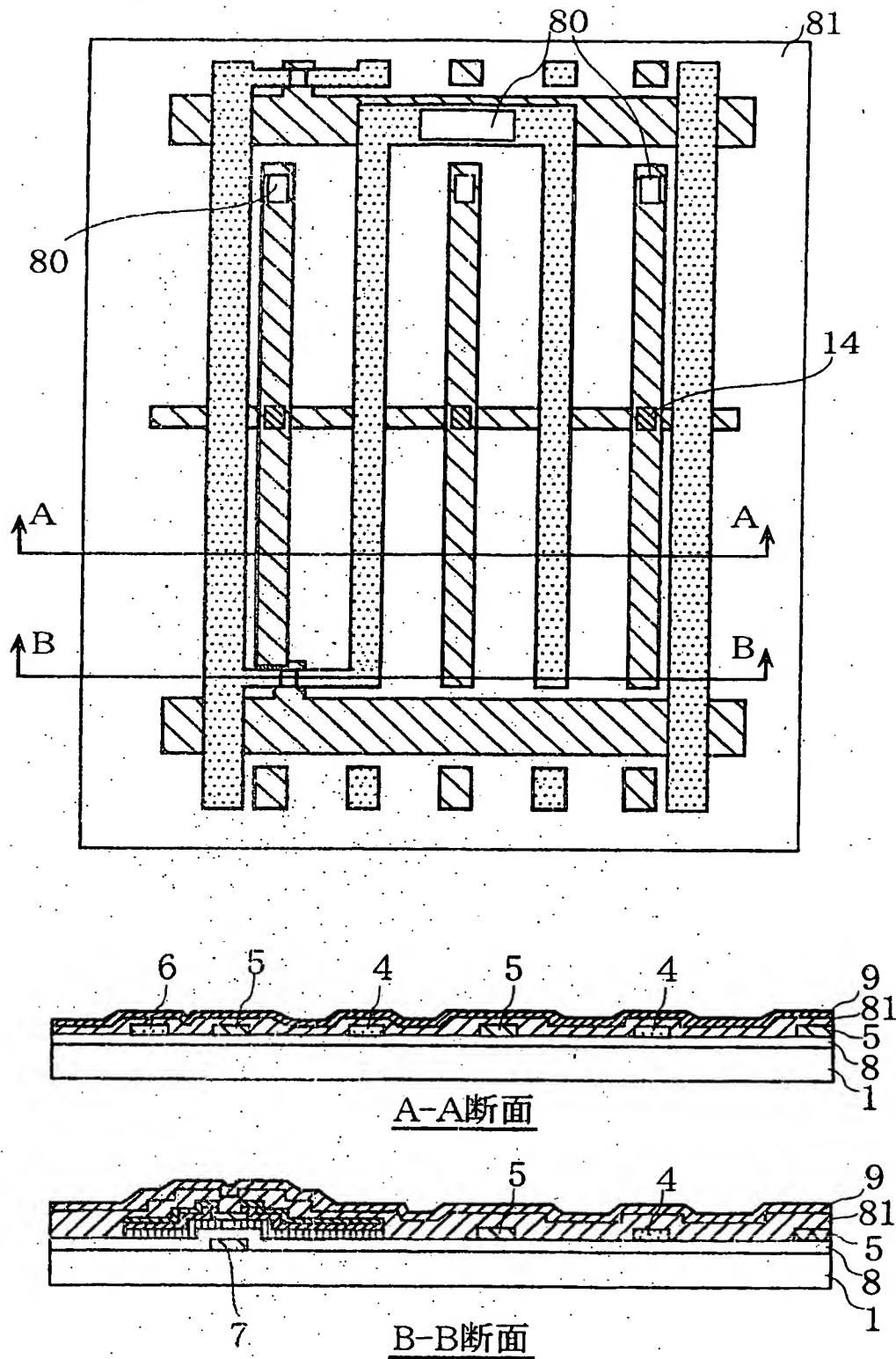




Fig. 70

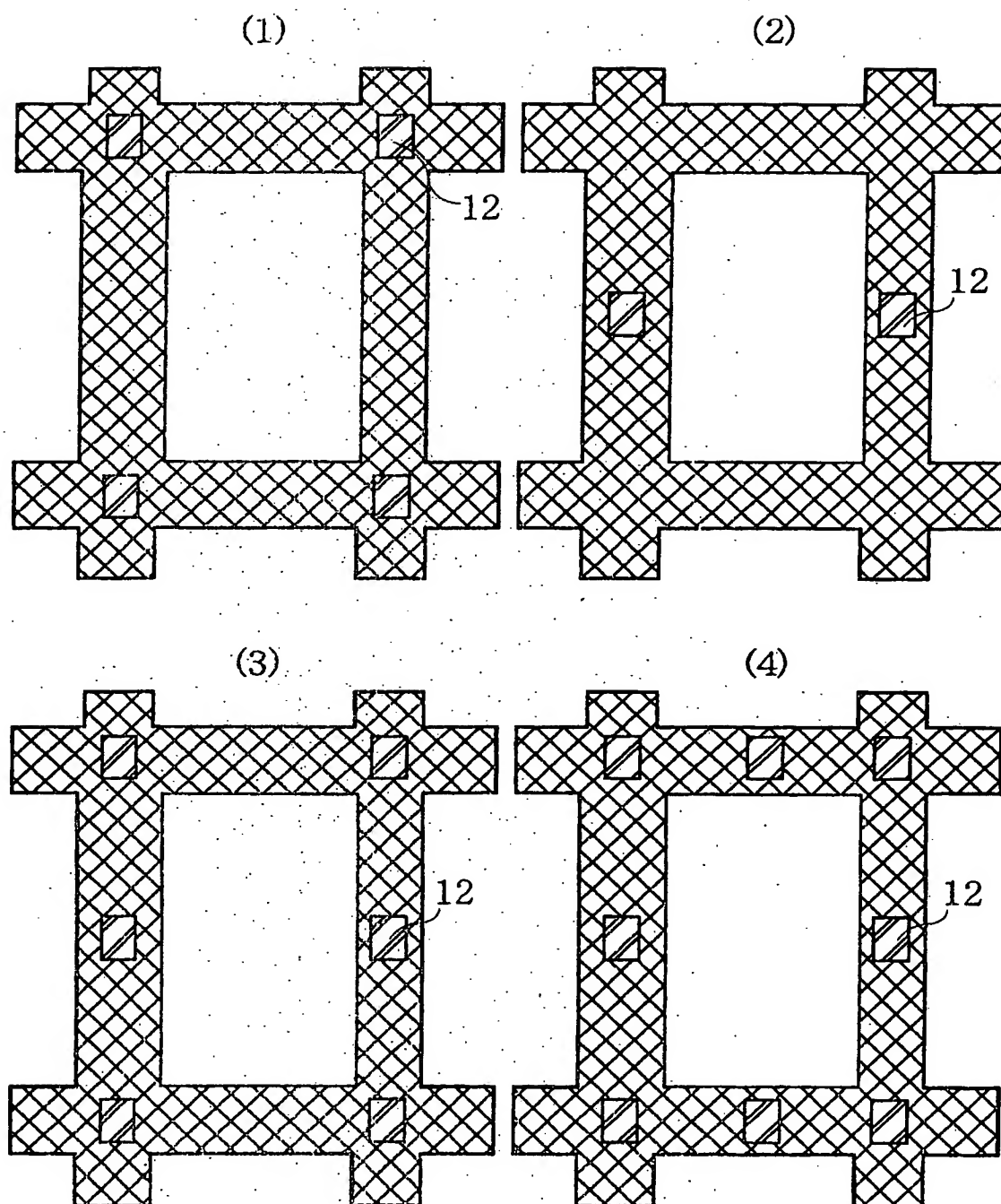




Fig. 71

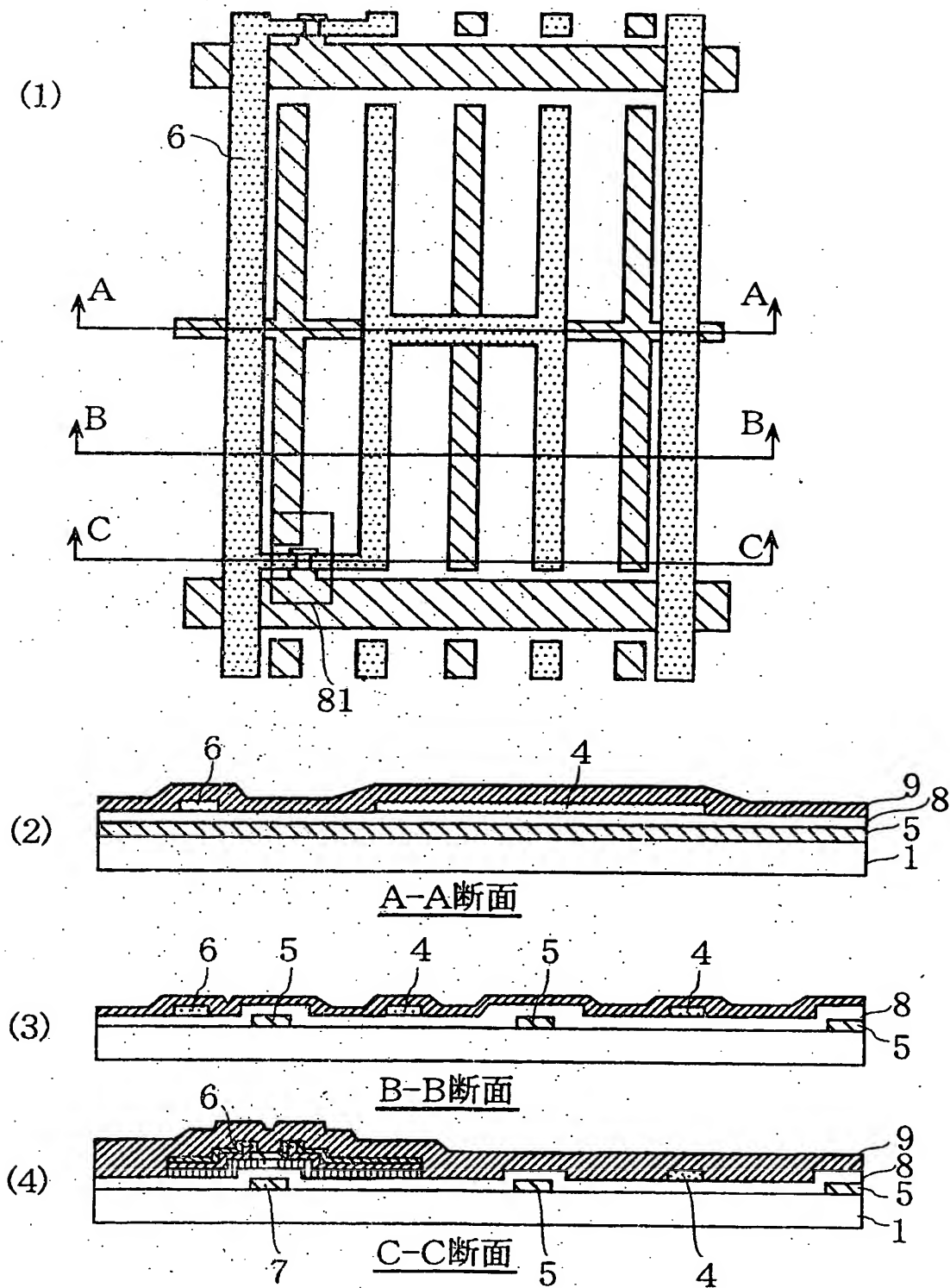




Fig. 72

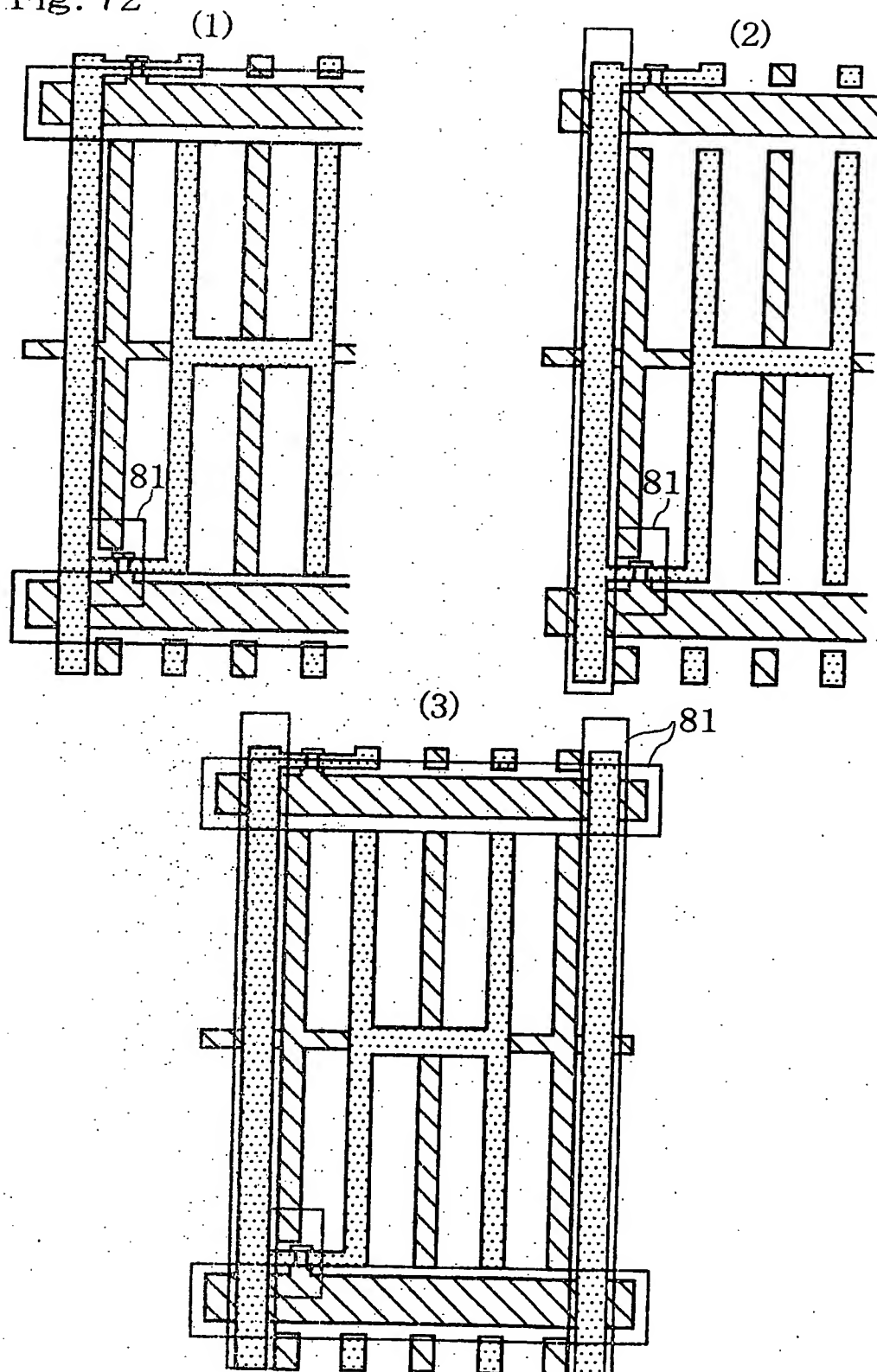




Fig. 73

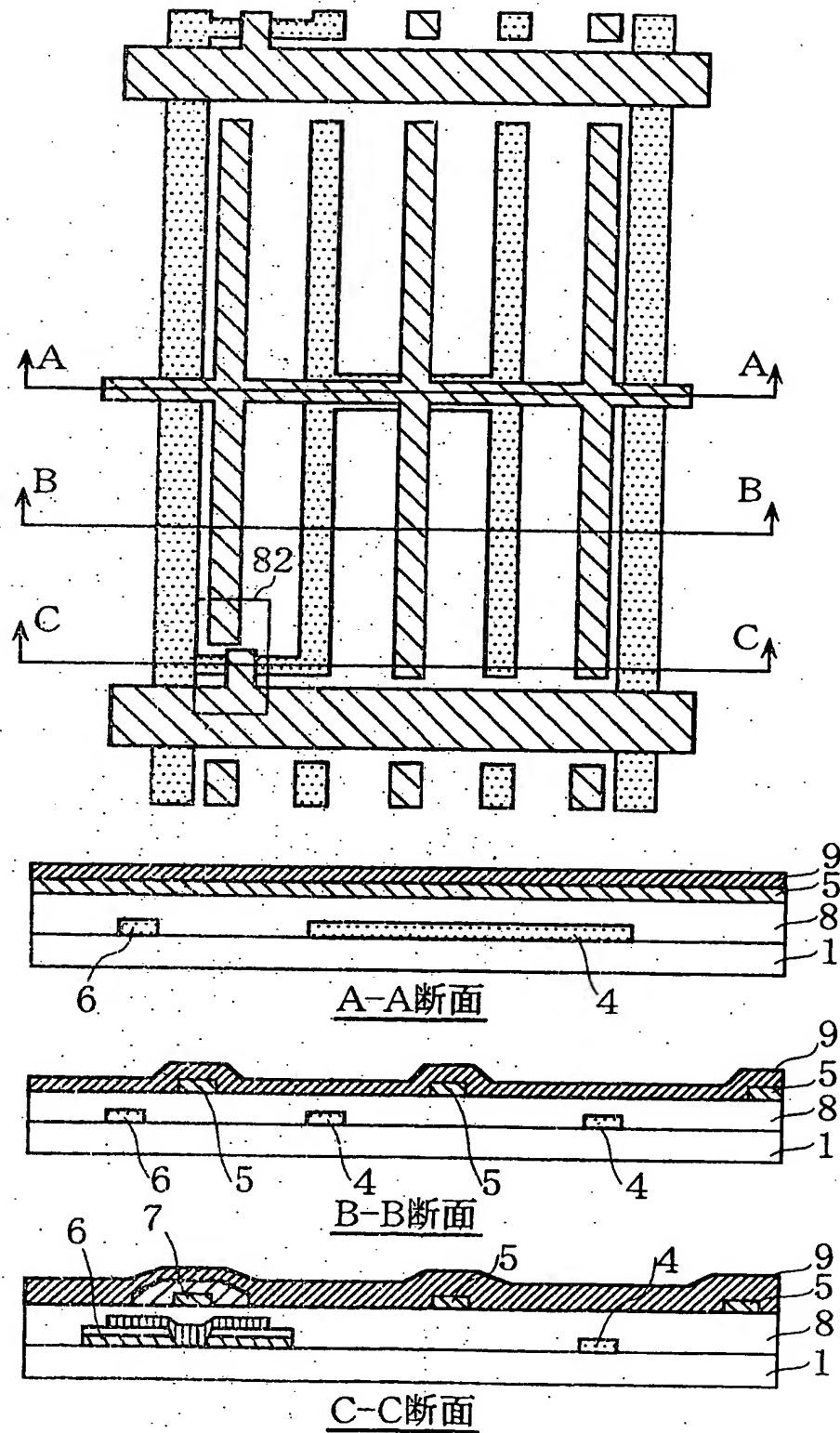




Fig. 74

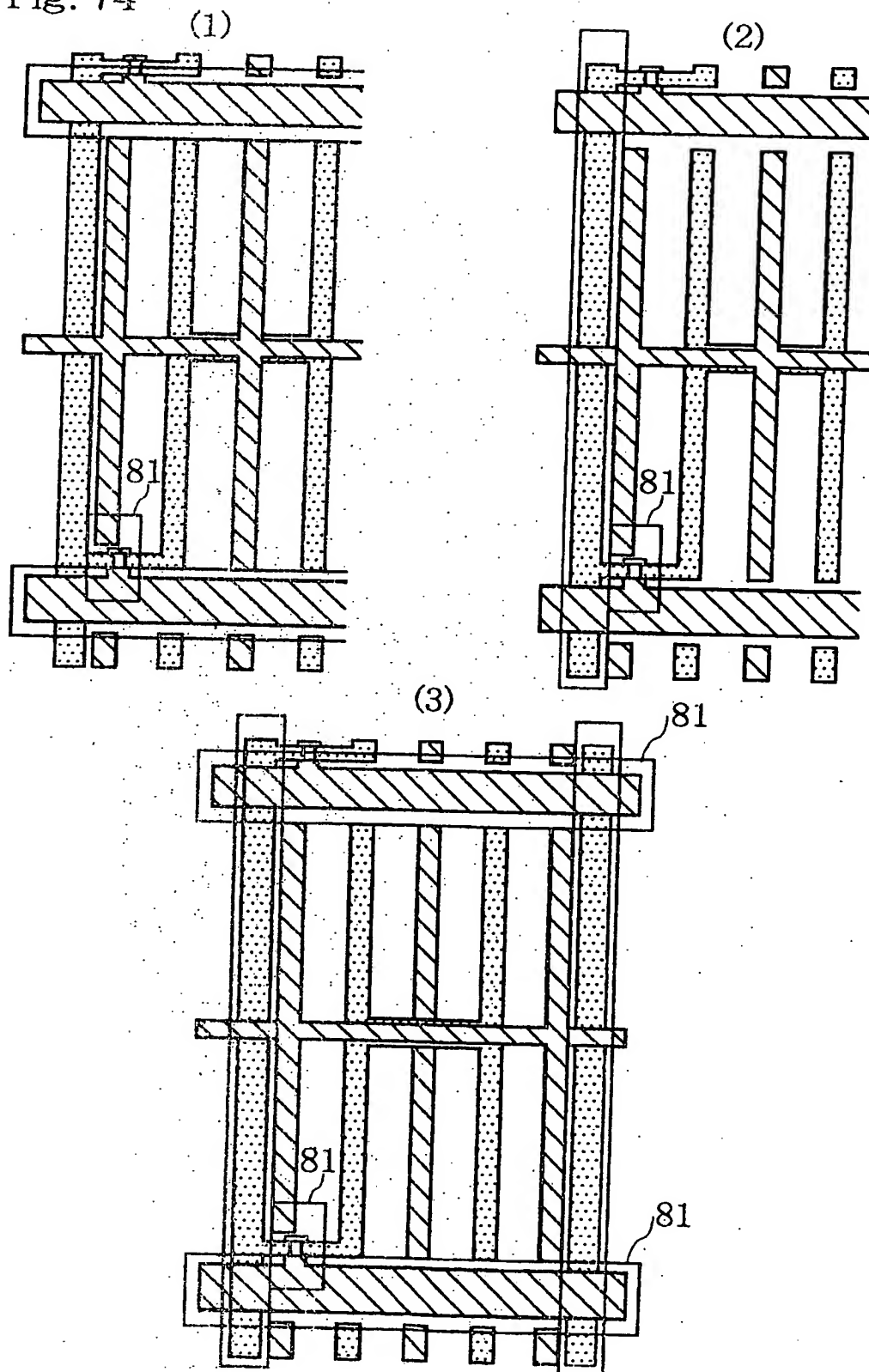




Fig. 75

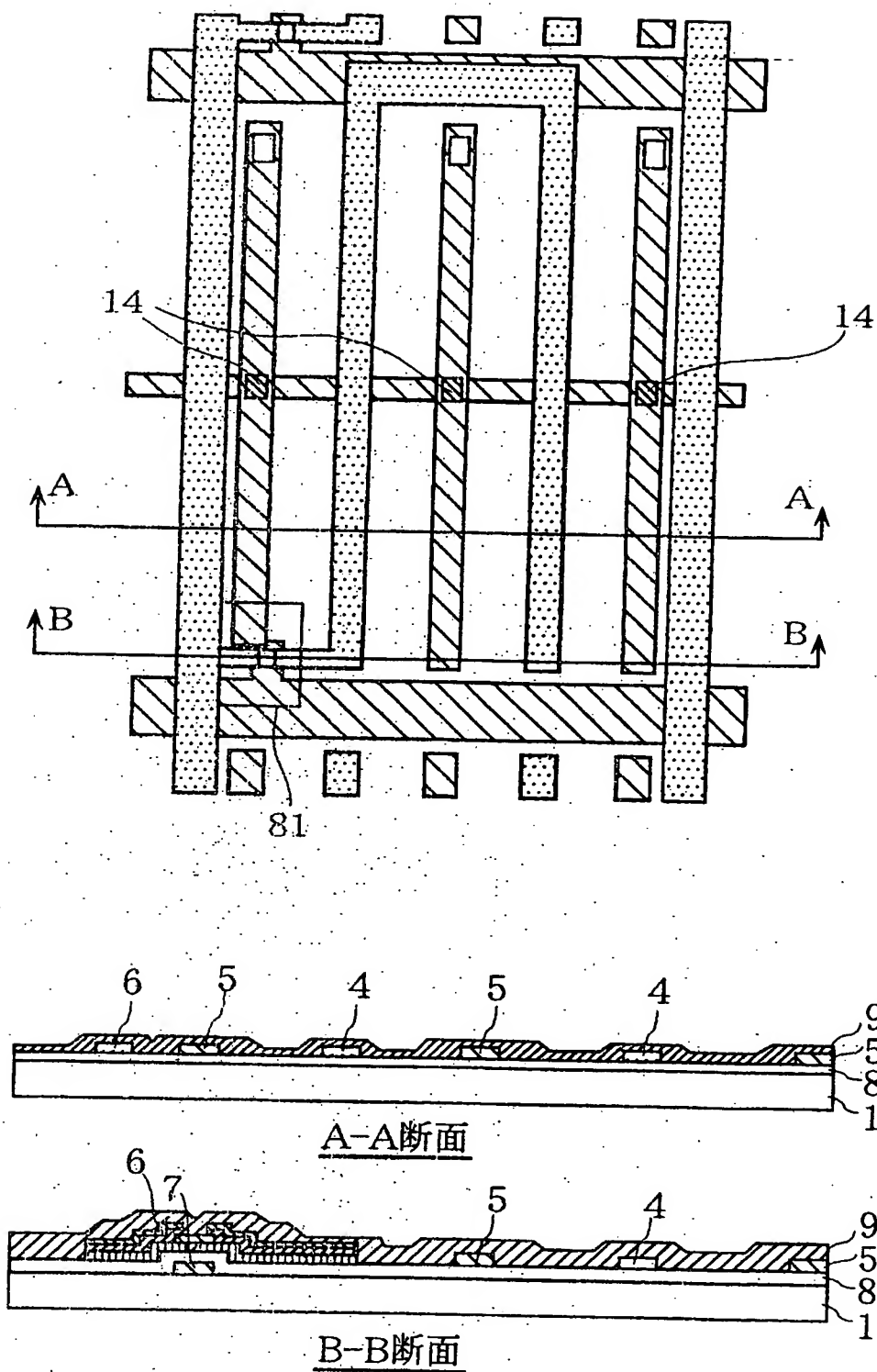




Fig. 76

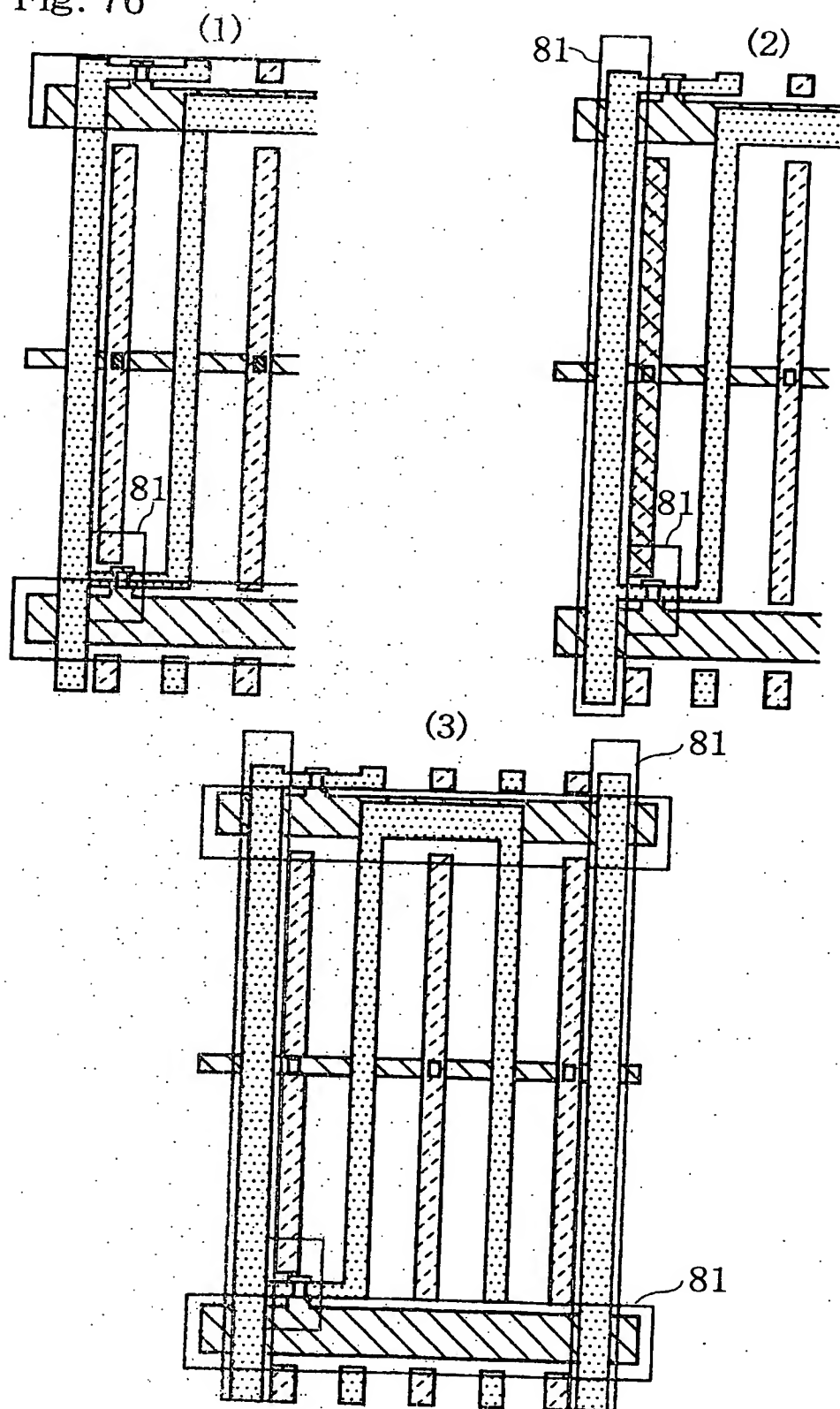




Fig. 77

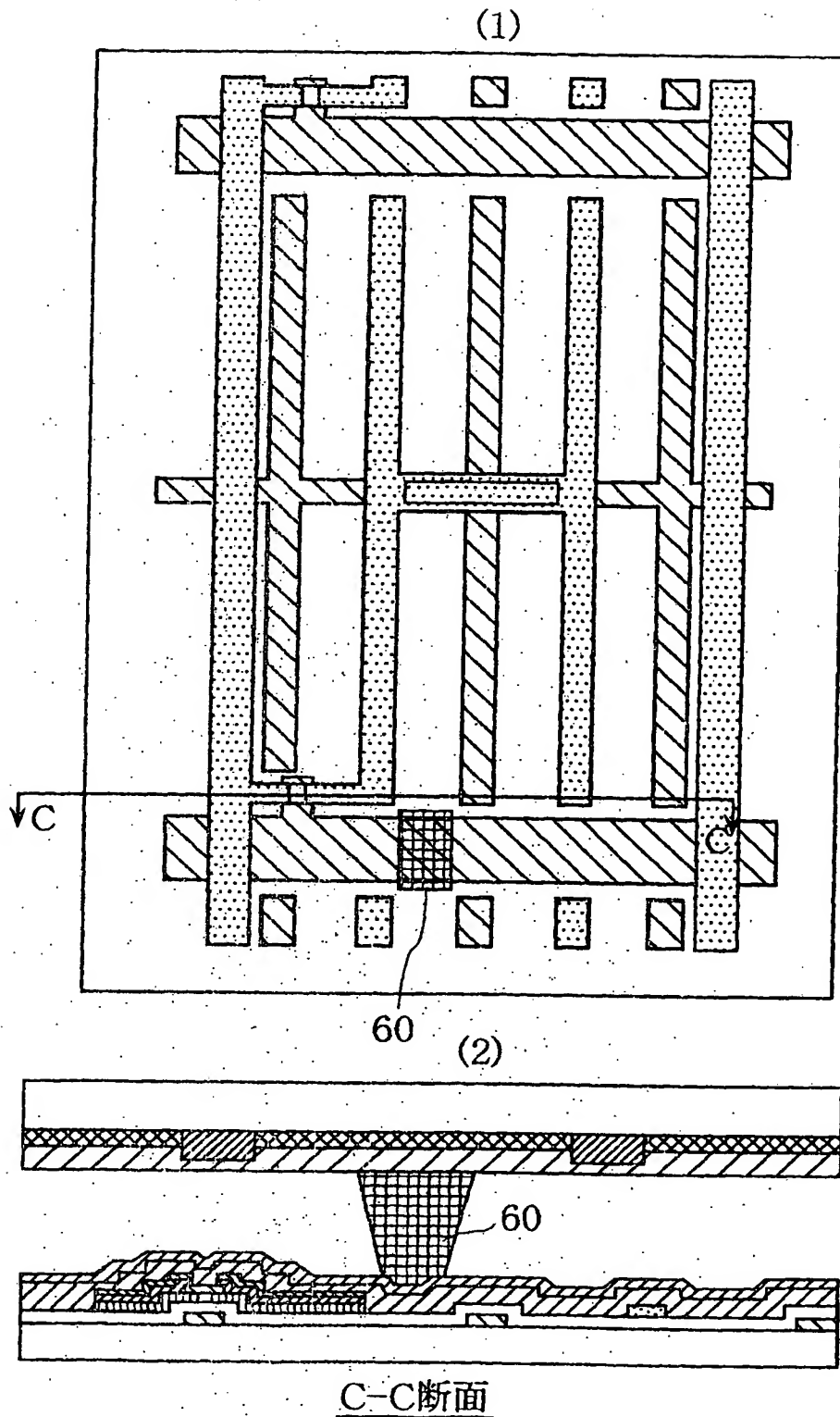




Fig. 78

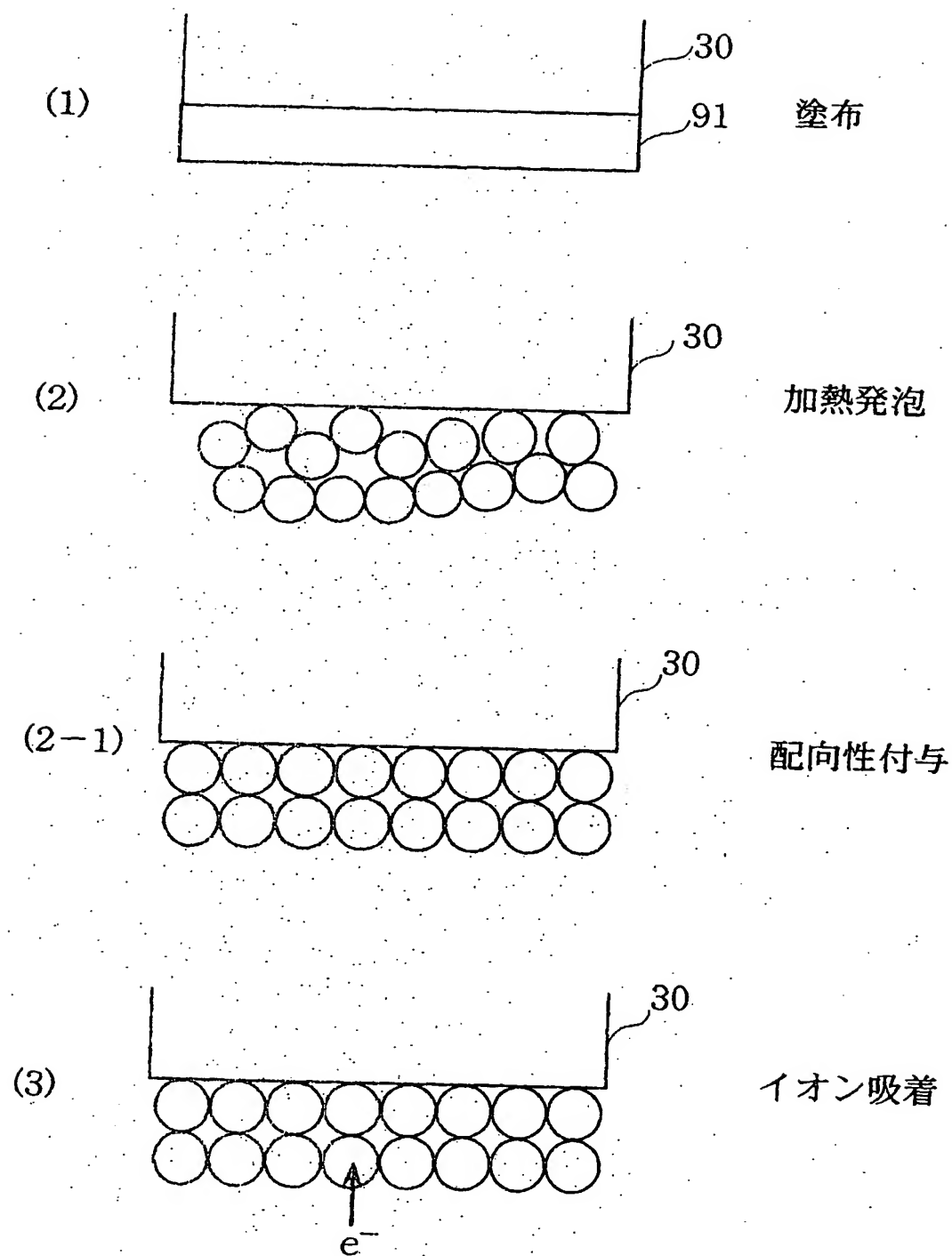




Fig. 79

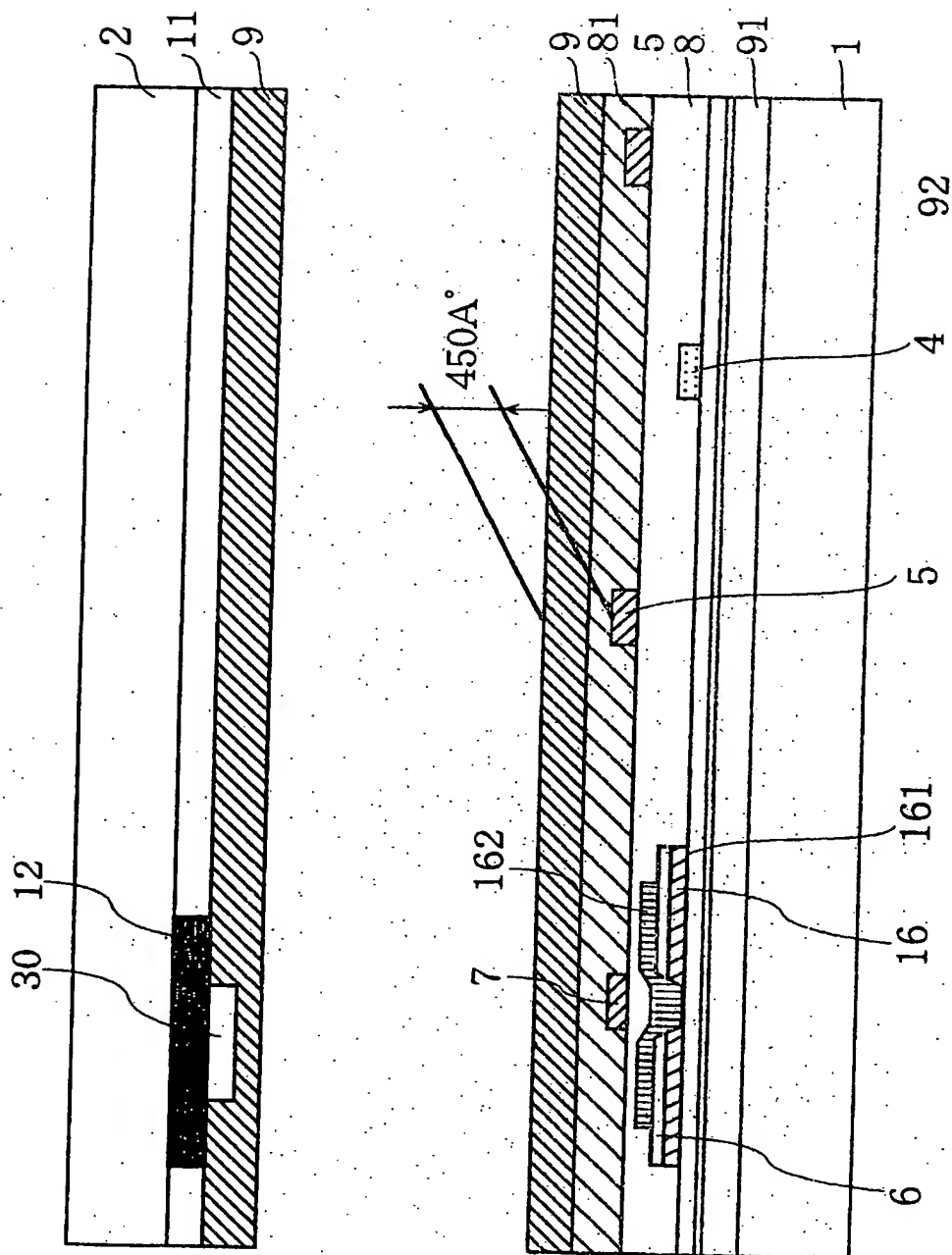




Fig. 80

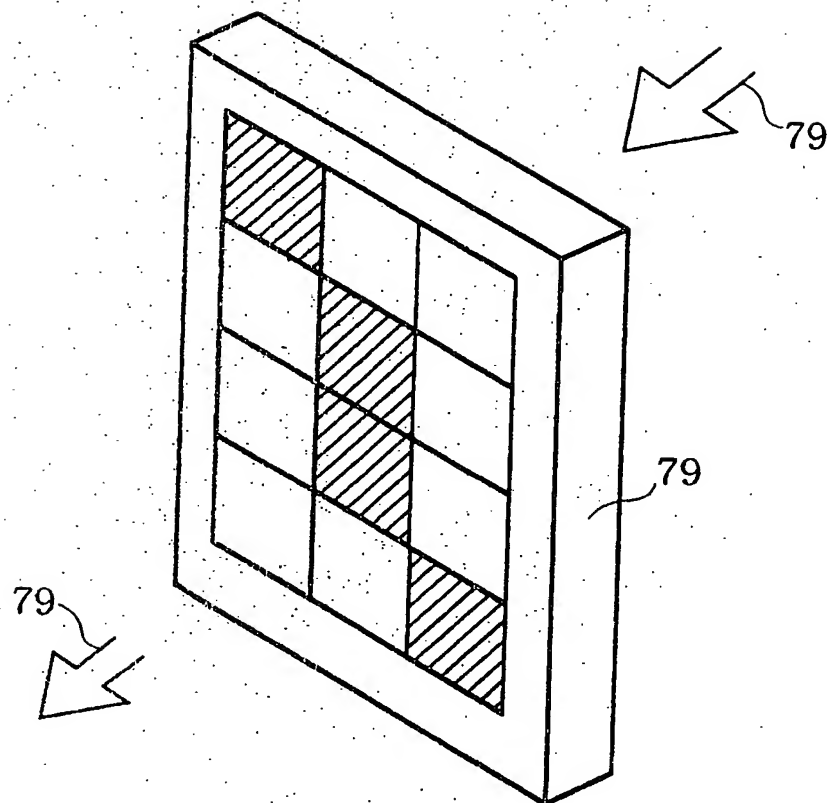




Fig. 81

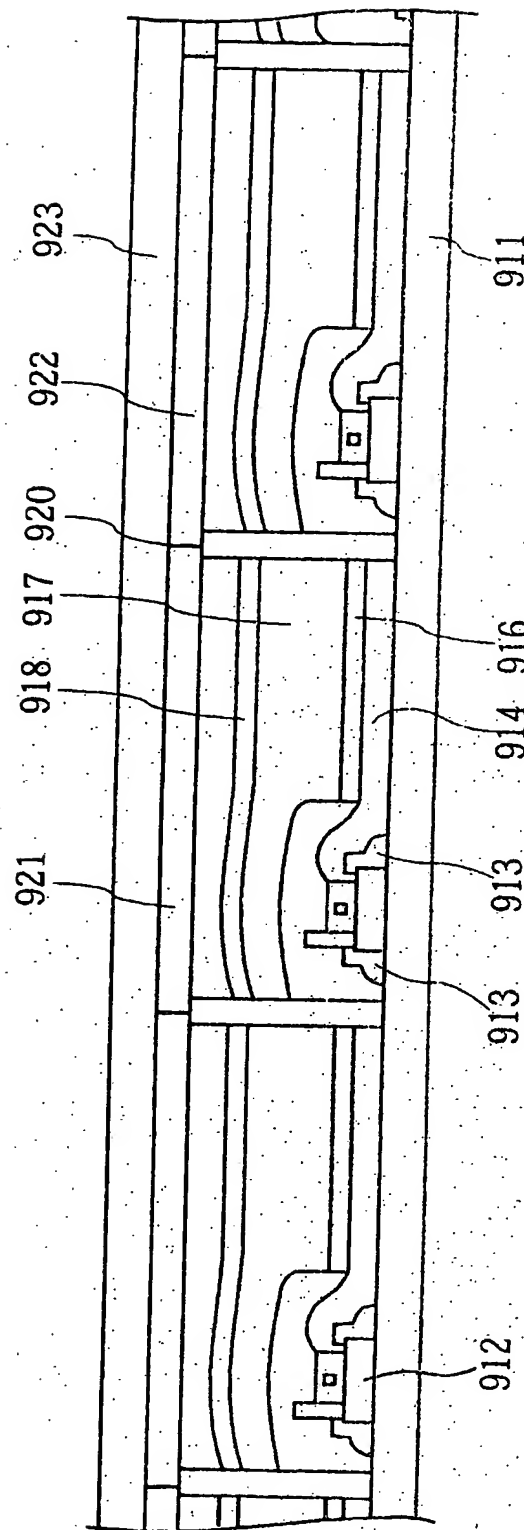




Fig. 82

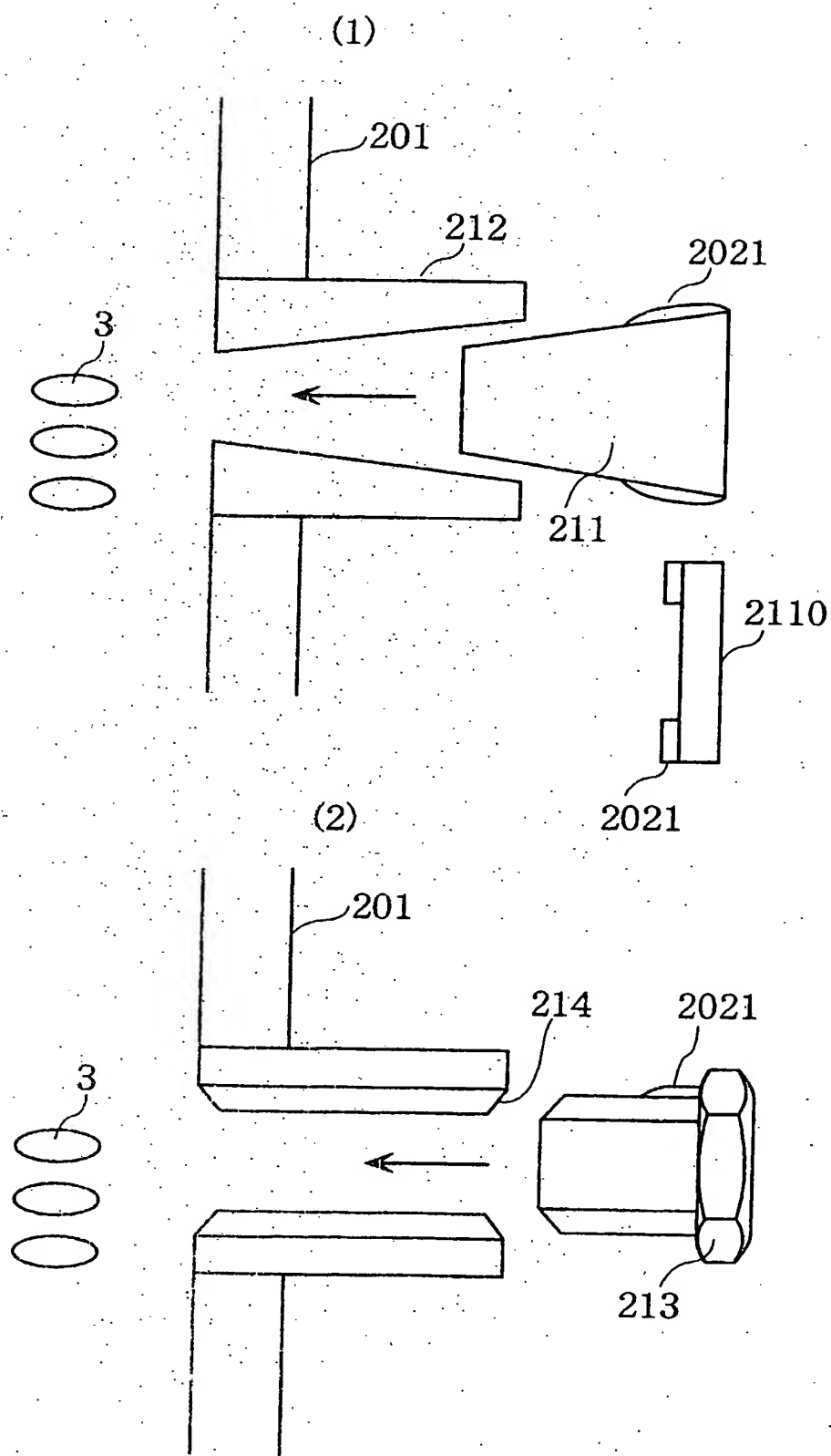
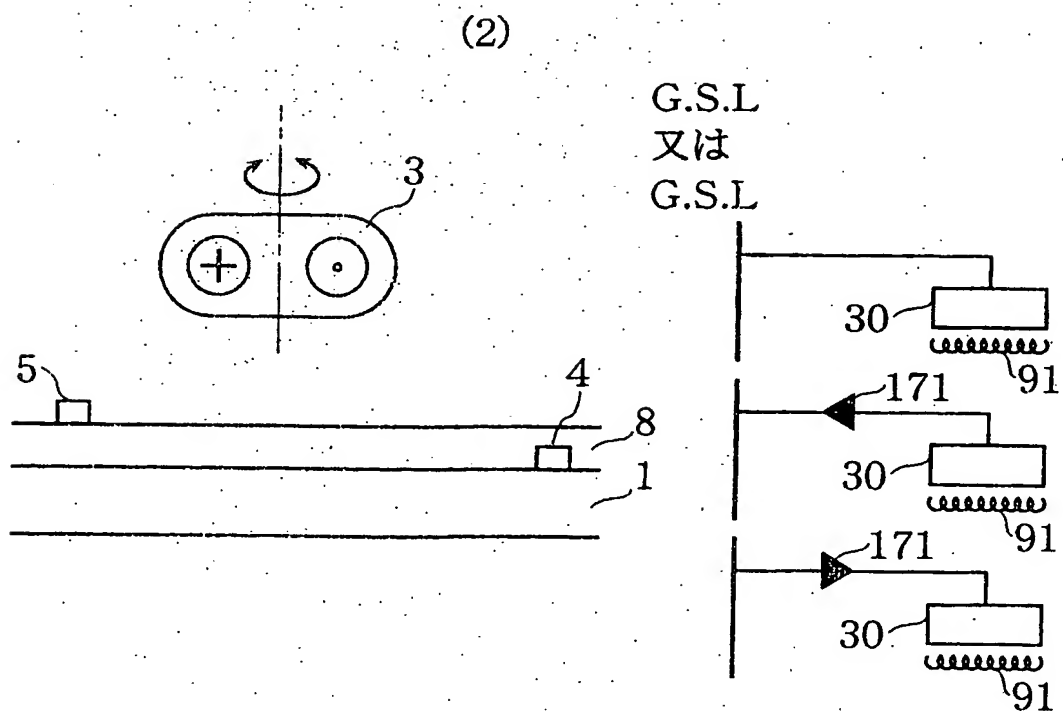
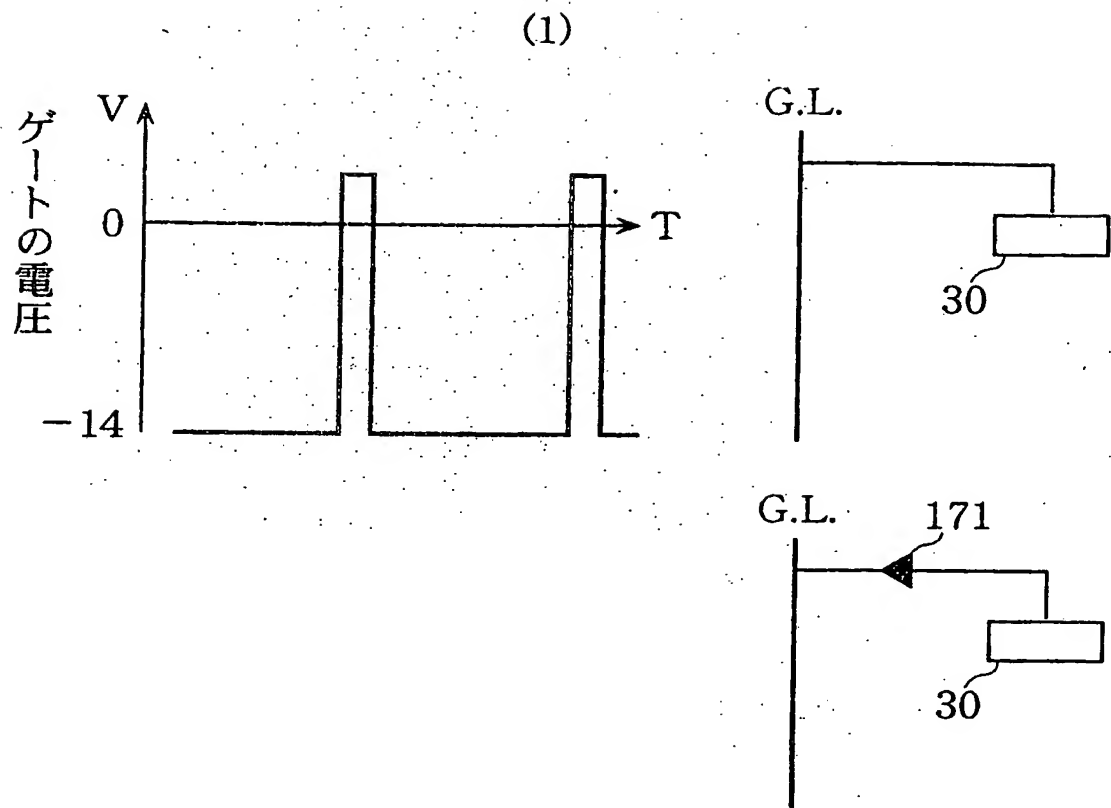




Fig. 83





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/07011

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G02F1/1339, G02F1/1368, G02F1/1343, C09K19/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G02F1/1339, G02F1/1368, G02F1/1343, C09K19/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Jitsuyo Shinan Toroku Koho	1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 59-226323, A (Sanyo Electric Co., Ltd.), 19 December, 1984 (19.12.84), Fig. 1 (Family: none)	1, 4, 12
A	JP, 6-235923, A (Rohm Co., Ltd.), 23 August, 1994 (23.08.94), Fig. 1 (Family: none)	1-12
A	JP, 5-265012, A (Seiko Instr. Inc.), 15 October, 1993 (15.10.93), Fig. 1 (Family: none)	1, 5
A	JP, 11-119229, A (Denso Corporation), 30 April, 1999 (30.04.99), Fig. 1 (Family: none)	1-12
A	JP, 4-319915, A (Seiko Instr. & Electronics Ltd.), 10 November, 1992 (10.11.92), Fig. 1 (Family: none)	1-12
X	JP, 6-222372, A (Citizen Watch Co., Ltd.),	13-15, 17

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
23 January, 2001 (23.01.01)Date of mailing of the international search report
06 February, 2001 (06.02.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/07011

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	12 August, 1994 (12.08.94), Fig. 3 (Family: none)	18-82 83-97
Y	EP, 0855613, A (Frontec Incorporated), 29 July, 1998 (29.07.98), Fig. 1 & JP, 10-206867, A Fig. 1 & CN, 1191990, A	18-82
Y	JP, 10-186391, A (Hitachi, Ltd.), 14 July, 1998 (14.07.98), Par. Nos. [0009], [0037] Fig. 2 (Family: none)	45-50 56-59, 73
Y	JP, 6-95133, A (Citizen Watch Co., Ltd.), 08 April, 1994 (08.04.94), abstract (Family: none)	78
Y	JP, 63-121020, A (Canon Inc.), 25 May, 1988 (25.05.88), Fig. 1 (Family: none)	78
A	JP, 5-224211, A (Canon Inc.), 03 September, 1993 (03.09.93), Fig. 3 (Family: none)	19-40
Y	JP, 10-319435, A (Sharp Corporation), 04 December, 1998 (04.12.98), Par. No. [0034]; Fig. 1 (Family: none)	19-40
Y	JP, 10-39297, A (NEC Corporation), 13 February, 1998 (13.02.98), Fig. 1 (Family: none)	19-40

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int, Cl⁷ G02F1/1339, G02F1/1368, G02F1/1343, C09K19/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int, Cl⁷ G02F1/1339, G02F1/1368, G02F1/1343, C09K19/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2001年
 日本国登録実用新案公報 1994-2001年
 日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 59-226323, A (三洋電機株式会社) 19.12月.1984(19.12.84), 第1図 (ファミリーなし)	1,4, 12
A	J P, 6-235923, A (ローム株式会社) 23.8月.1994(23.08.94), 第1図 (ファミリーなし)	1-12
A	J P, 5-265012, A (セイコー電子工業株式会社) 15.10月.1993 (15.10.93), 1図 (ファミリーなし)	1,5
A	J P, 11-119229, A (株式会社デンソー) 30.4月.1999 (30.04.99), 第1図 (ファミリーなし)	1-12

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

23.01.01

国際調査報告の発送日

06.02.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

後 藤 時 男



2X

7809

電話番号 03-3581-1101 内線 3293

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 4-319915, A (株式会社精工舎) 10. 11. 1992 (10.11.92), 第1図 (ファミリーなし)	1-12
X	J P, 6-222372, A (シチズン時計株式会社) 12. 8月. 1994 (12.08.94), 第3図 (ファミリーなし)	13-15, 17
Y		18-82
A		83-97
Y	E P, 0855613, A (Frontec Incorporated) 29. 7月. 1998 (29.07.98), 第1図 & J P, 10-206867, A, 第1図 & C N, 1191990, A	18-82
Y	J P, 10-186391, A (株式会社日立製作所) 14. 7月. 1998 (14.07.98), 段落番号【0009】、【0037】 第2図 (ファミリーなし)	45-50 56-59, 73
Y	J P, 6-95133, A (シチズン時計株式会社) 8. 4月. 1994 (08.04.94), 【要約】 (ファミリーなし)	78
Y	J P, 63-121020, A (キヤノン株式会社) 25. 5月. 1988 (25.05.88), 第1図 (ファミリーなし)	78
A	J P, 5-224211, A (キヤノン株式会社) 3. 9月. 1993 (03.09.93), 第3図 (ファミリーなし)	19-40
Y	J P, 10-319435, A (シャープ株式会社) 4. 12月. 1998 (04.12.98), 段落番号【0034】、第1図 (ファミリーなし)	19-40
Y	J P, 10-39297, A (日本電気株式会社) 13. 2月. 1998 (13.02.98), 第1図 (ファミリーなし)	19-40